



<p>(51) 国際特許分類6 G11C 11/413, 11/407, H03K 5/135</p>	<p>A1</p>	<p>(11) 国際公開番号 WO99/16078</p> <p>(43) 国際公開日 1999年4月1日(01.04.99)</p>
<p>(21) 国際出願番号 PCT/JP97/03327</p> <p>(22) 国際出願日 1997年9月19日(19.09.97)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) 日立超エル・エス・アイ・エンジニアリング株式会社 (HITACHI, ULSI ENGINEERING CORP.)(JP/JP) 〒187 東京都小平市上水本町五丁目20番1号 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 秋岡隆志(AKIOKA, Takashi)(JP/JP) 〒196 東京都昭島市美堀町2-7-3 Tokyo, (JP) 行武正剛(YUKITAKE, Seigo)(JP/JP) 〒319-12 茨城県日立市石名坂町1-19-3-304 Ibaraki, (JP) 豊嶋 博(TOYOSHIMA, Hiroshi)(JP/JP) 〒197 東京都あきる野市野辺562-14 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒100 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)</p>		<p>(81) 指定国 AL, AM, AU, BB, BG, BR, CA, CN, CZ, EE, FI, GE, GH, HU, IL, IS, JP, KG, KR, LK, LR, LT, LV, MD, MG, MK, MN, MX, NO, NZ, PL, RO, SG, SI, SK, TR, TT, UA, US, UZ, VN, YU, ARIPO特許 (GH, KE, LS, MW, SD, SZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54) Title: SYNCHRONOUS INTEGRATED CIRCUIT DEVICE</p> <p>(54) 発明の名称 同期型集積回路装置</p> <p>(57) Abstract A synchronous semiconductor circuit device is constituted so that the time margin of a sense amplifier section can be reduced correspondingly to the reduction of cycle time by determining the activating timing of a positive feedback sense amplifier by using a clock edge which is different from a clock edge used for determining timing required for data to be input to the sense amplifier after the data has been transmitted to a bit line from a word line.</p> <div data-bbox="909 1218 1429 1890"> <p>a ... time A b ... time B c ... time C d ... WORD LINE e ... SA output f ... Data output</p> </div>		

(57)要約

本発明では、正帰還型センスアンプの活性化タイミングを、ワード線からビット線にデータが伝達し、センスアンプにデータが入力するまでのタイミングを決めるクロックのエッジとは別のクロックエッジを用いて決めることにより、サイクル時間の減少に見合ってセンスアンプ部のタイミングマージンを削ることが出来るようにした。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GR	ギリシャ	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BJ	ベナン	HR	クロアチア		共和国	TT	トリニダード・トバゴ
BR	ブラジル	HU	ハンガリー	ML	マリ	UA	ウクライナ
BY	ベラルーシ	ID	インドネシア	MN	モンゴル	UG	ウガンダ
CA	カナダ	IE	アイルランド	MR	モーリタニア	US	米国
CF	中央アフリカ	IL	イスラエル	MW	マラウイ	UZ	ウズベキスタン
CG	コンゴ	IN	インド	MX	メキシコ	VN	ヴェトナム
CH	スイス	IS	アイスランド	NE	ニジェール	YU	ユーゴスラビア
CI	コートジボアール	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CM	カメルーン	JP	日本	NO	ノールウェー	ZW	ジンバブエ
CN	中国	KE	ケニア	NZ	ニュージーランド		
CU	キューバ	KG	キルギスタン	PL	ポーランド		
CY	キプロス	KP	北朝鮮	PT	ポルトガル		
CZ	チェッコ	KR	韓国	RO	ルーマニア		
DE	ドイツ	KZ	カザフスタン	RU	ロシア		
DK	デンマーク	LC	セントルシア	SD	スーダン		
EE	エストニア			SE	スウェーデン		

明 細 書

同期型集積回路装置

技術分野

- 本発明は集積回路装置に係わり、特にクロック信号により動作タイミングが制御される同期型集積回路装置の性能を向上させる技術に関する。

背景技術

- SRAM、DRAM、マイコン等の集積回路中に含まれるメモリのセンスアンプ回路には、一般に正帰還センスアンプが用いられている。正帰還センスアンプは、小振幅のデータを増幅するために正帰還回路を用いている。
- 10 正帰還センスアンプは一度増幅を開始すれば他の方式の回路に比べて高速でありしかも低電力であるが、その活性化のための信号が必要である。

- この活性化のための信号とは、正帰還を開始する時刻を指定する信号である。活性化のための信号が遅いとセンスアンプの遅延時間は大きくなる。しかし、早くしすぎると誤データを増幅したり、遅延時間が大きく増大するという危険性がある。正帰還センスアンプは一度誤データを
- 15 増幅し始めるとこれを元に戻す手段を持たないため、誤データの増幅は直ちに誤動作につながる場合がある。

- 集積回路装置の製品仕様上の特性は、ある一定範囲の環境条件を前提としている。したがって、集積回路装置を設計する場合、この範囲内の
- 20 環境条件において、特性が常に製品仕様の中に収まる様に設計する必要がある。そのためには、集積回路の特性にとって最も悪い動作環境条件下においても、あるいは、最も悪い製造プロセス条件においても、特性を満たすことができるように、十分なマージンを持って設計することが必要となる。

- 25 以上から明らかなことは、集積回路装置の製品仕様に対する特性が、その設計段階における、製品仕様、製造プロセス、及びマージンによっ

て固定的に定まるということである。すなわち、設計が完了した後は変更が不可能となる。

従って、集積回路装置のクロック制御回路においては、その正常な動作のためにはクロック信号の発生側と受け手側の間で十分なタイミング
5 のマージンが必要であり、最悪の条件においてもこのマージンが確保されるように設計される。

発明の開示

高速センスアンプ回路では消費電流を小さく保つために、一般に正帰還回路が用いられている。正帰還型回路は活性化信号が到着するまでの
10 時間は電流を切っておけるため消費電力が小さい。しかしセンスアンプの誤動作を避けるために、その活性化信号をセンスアンプへの入力信号よりも必ず十分に遅らせる必要があり、これがセンスアンプ回路の高速化を妨げていた。

本発明の一つの目的はマージンを設計時に設定する必要が無い、高速
15 な正帰還型センスアンプの活性化方式を提供することである。

センスアンプの活性化時刻が早ければ早いほど動作した場合の遅延時間は短くなるため、高速なセンスアンプを得ようとすれば、活性化時刻を早く設定すればよい。しかし、早くしすぎると誤動作するため、個々のトランジスタ等のデバイス特性が良い方にばらついた場合でないと正
20 常動作する良品が得られず、少数の正常動作品以外は不良品になる。よって、デバイス条件のばらつきの中の最高のデバイス性能で設計せざるを得ない高性能品においては、不良が多数起こる可能性がある。そのため高速品の価格が非常に高価になるという問題があった。

本発明の他の目的は、正帰還型センスアンプ回路を用い最高の高速性を狙った設計においても、デバイスばらつきにより誤動作する不良品を
25 無くすことである。

一般的には集積回路装置の設計段階において、動作を保証すべき環境条件や製造プロセス条件がある幅を持つため、その中の最悪の条件でも動作するように動作マージンを設定する必要がある。そのためには集積回路装置の個々の特性がそれぞれ最悪となる製造プロセス条件の情報が
5 必要である。しかし、設計当初はこれら情報は明らかでない。回路設計と素子（デバイス）設計はしばしば並行して進む場合があるが、この場合は設計開始当初において正確なデバイス条件は判らない。

しかし、正帰還型センスアンプの活性化信号の設計においては、活性化信号のマージンは設計時に固定されるため、不明なデバイス特性にも
10 対応するためにはマージンを大きく取る必要があり、結果として回路の高速化が得られないと言う問題点がある。

本発明の他の目的は、同期型集積回路装置の設計において上記のように設計の境界条件が変化した場合でも、デバイスの持つ最高の性能が得られる回路方式を提供することにある。

15 上記の目的を達成するために本発明では、同期型集積回路装置の中の2つの同期信号が同期を取る場合には、それぞれの同期信号を別の時間的な点（タイミング）を基準として生成することにより、これらの信号間の時間を同期信号の周波数に応じて変化させる。

より具体的には、センスアンプ活性化信号の発生に用いるクロックエッジを、センスアンプが増幅すべきデータが決まるクロックエッジとは別に形成することにより、クロック周波数が向上する。すなわちこれらエッジ間の時間が減少すると自動的にセンスアンプが増幅すべきデータとセンスアンプ活性化信号の間の時間も詰まり、クロック周波数の増大に応じたマージンを得ることができる。

25 上記手段により、設計時にマージンを設定する必要が無く、高速な正帰還型センスアンプの活性化方式を得ることができる。

また、上記手段によりデバイスがばらついてもセンスアンプ回路の最高の高速性能を目指す設計をすることが可能となり、誤動作する不良品がそのために増加することがない。

- また、上記手段により同期型集積回路の設計時に想定したものとはデバイス特性が変化した場合でも、デバイスの高速化に応じてマージンが変化するためデバイスの持つ最高の性能を得ることが可能な回路方式を得ることが出来る。

- 本願発明の一つの形態は、クロック信号が入力されるクロック端子と、処理すべき信号が入力される内部回路とを有し、クロック信号の第1の時刻（例えば第1のパルスの立ち上がり）を基準として処理すべき信号を上記内部回路に入力し、クロック信号の第2の時刻（例えば第2のパルスの立ち上がり）を基準として内部回路を動作させる同期型集積回路である。このように構成することで、処理すべき信号の入力タイミングと内部回路の動作タイミングを独立に設定することができ、タイミングの間隔を可変とすることが容易となる。

クロック信号を DLL 回路、SMD 回路、もしくは PLL 回路で処理することにより、クロックからこれらのタイミングを設定することができる。

- これらの DLL 回路または PLL 回路は、そのループの中に、クロック信号の周波数によって遅延時間が増加する第1の遅延回路と、クロック信号の周波数によらず遅延時間が一定な第2の遅延回路とを有することによって、簡易に構成することができる。

- また、本願発明は半導体記憶装置に用いても好適であり、その場合には、クロック信号に基づいて動作する半導体記憶装置であって、情報を蓄積する複数のメモリセルと、メモリセルの少なくとも一つを指定するためのアドレス信号をデコードするデコーダと、アドレス信号によって指定されたメモリセルに蓄積された情報を反映した出力信号を出力する

出力線と、出力信号を増幅する増幅器とを有し、デコーダはクロック信号の第1の時刻のアドレス信号をデコードし、出力線は第1の時刻の所定時間後である第2の時刻に出力信号を出力し、増幅器は第1の時刻とは異なる第3の時刻から所定時間ずれた第4の時刻に活性化される。このような構成により装置の動作マージンを柔軟に変化させることが可能となる。

ここで、例えば上記第1の時刻は上記クロック信号の第1のパルスの立ち上がりまたは立ち下がりであり、上記第3の時刻は上記クロック信号の第1のパルスの後に来る第2のパルスの立ち上がりまたは立ち下がりである。

また、上記増幅器は上記第1の時刻とは異なる第3の時刻の所定時間前である第4の時刻に活性化されることとしてもよいし、上記増幅器は上記第1の時刻とは異なる第3の時刻の所定時間後である第4の時刻に活性化されることとしてもよい。

このような半導体記憶装置においては、複数のメモリセルにはそれぞれワード線が接続されており、ワード線は上記の第3の時刻を基準として非選択とすることができる。

本発明の同期型集積回路の他の形態では、外部から活性化時刻が入力されるセンスアンプを備えた同期型集積回路において、センスアンプが増幅すべき信号の入力時刻が基準とする時刻とは別の時刻を基準として、センスアンプを活性化させることを特徴とする。

また、本発明の同期型集積回路の他の形態では、外部からのクロック信号で活性化時刻が指定されるセンスアンプを備えた同期型集積回路において、クロック信号のクロック周期の変化量の絶対値と、センスアンプの活性化時刻と増幅すべき信号のセンスアンプへの入力時刻の時間間隔が、対応して変化する。すなわち、入力されるクロック信号の周波数

に応じて、装置のマージンが自動的に変化するものである。

本発明の他の大洋では、位相比較器と該位相比較器により制御される可変遅延回路とを有する同期クロック信号発生回路において、位相比較器の入力信号にシンクロナスマラーディレイ回路の入力および出力信号を用い、シンクロナスマラーディレイ回路中の遅延回路の一部に上記位

5 相比較器出力により制御する可変遅延回路を用いたことを特徴とする。

また、本願発明はクロック信号に基づいて動作する半導体記憶装置であって、情報を蓄積する複数のメモリセルと、メモリセルに接続されるデータ線及びワード線と、データ線の出力信号を増幅するセンスアンプとを有し、メモリセルからの情報の読み出し時には、データ線はクロック信号の第 1 の時刻の所定時間後である第 2 の時刻に出力信号を出力し、

10 センスアンプは第 1 の時刻とは異なる第 3 の時刻から所定時間ずれた第 4 の時刻に活性化される半導体記憶装置としても構成できる。

この装置の動作タイミングとしては、例えば、メモリセルへの情報の書込み時には、データ線はクロック信号の第 1 の時刻と所定時間ずれた第 5 の時刻に立ち上げられ、クロック信号の第 2 の時刻と所定時間ずれた第 6 の時刻に立ち下げられ、ワード線は上記クロック信号の第 1 の時刻と所定時間ずれた第 7 の時刻に立ち上げられ、クロック信号の第 2 の時刻と所定時間ずれた第 8 の時刻に立ち下げられる。

15

図面の簡単な説明

図 1 は本発明によるセンスアンプの活性化タイミング図。図 2 は本発明による同期型 SRAM のブロック図。図 3 は従来の活性化タイミングの例を示すタイミング図。図 4 は正帰還型センスアンプの回路図。図 5 は本発明の同期型集積回路のためのクロック同期回路の回路図。図 6 は本

25 発明の同期型集積回路のためのクロック同期回路のタイミング図。図 7 は本発明の同期型集積回路のためのクロック同期回路の他の回路図。図

8 は本発明の同期型集積回路のためのクロック同期回路の他の回路のタイミング図。図 9 は本発明によるセンスアンプの他の活性化タイミング図。図 10 は本発明によるセンスアンプの他の活性化タイミング図。図 11 は同期型 SRAM の他のブロック図。図 12 は本発明を適用したシンクロナス DRAM のタイミング図。図 13 は本発明を適用したシンクロナス DRAM の他のタイミング図。図 14 は本発明を適用したシンクロナス DRAM の他のタイミング図。図 15 は本発明を適用したシンクロナス DRAM の他のタイミング図。図 16 は本発明を適用したシンクロナス DRAM の他のタイミング図。図 17 は本発明を用いたチップ中の回路配置図。図 18 は Register-Latch (R/L) タイプのシンクロナス DRAM への応用例を示すタイミング図。図 19 は Register-Through (R/T) タイプのシンクロナスメモリへの応用例を示すタイミング図。図 20 はシンクロナスメモリへの書込み時のワード線とビット線の関係を示すタイミング図。図 21 は SMD の典型的な回路を示すブロック図。22 は SMD の改良された回路を示すブロック図

発明を実施するための最良の形態

以下、本発明を SRAM に適用した場合の実施例のタイミングを図 1 により説明する。回路構成については後に図 2 で説明する。

図 1 は本発明を適用したメモリ回路の動作のタイミングを示したものである。各行はそれぞれ名前を示した回路部の信号電圧波形の模式図である。

CLK はセンスアンプ及び活性化信号発生回路に集積回路外部あるいは集積回路内の他の回路から入力されるクロック信号を示す。同様に、Address はメモリ回路外部からこのメモリ回路に入力されるアドレス信号の電圧波形を、Word 線はメモリセルのワード線の信号の電圧波形を、SACK はこのメモリ回路が用いている正帰還型のセンスアンプの活性化

信号の電圧波形を、SA 出力は正帰還型センスアンプの信号をラッチするノードの電圧波形を、Data 出力は本実施例のメモリ回路からの読み出しデータの出力信号の電圧波形をそれぞれ示す。

- このような動作を実現するメモリはアドレス入力用のレジスタを備えており、入力されたアドレス信号のクロック CLK の立ち上がり時（ここでは時刻 A）におけるアドレス情報に対応したメモリセルデータを読み出す様に動作する。すなわちアドレス A に対応したデータを時刻 A に入力レジスタに取り込み、このアドレスに対応したデータを時刻 B から一定の時間内に出力ノードに出力し、その出力信号を時刻 C が入力されてから一定時間保持することが必要とされている。

- CLK 信号が立ち上がる時刻 A における、メモリ回路の外部からのメモリセルのアドレス情報 A がデコーダによりデコードされる。次にデコードされたアドレスに対応する Word 線を立ち上げる。Word 線が立ち上がるとそれにより選択されたメモリセルからのデータがセンスアンプに到達し、図 1 中の SA 出力のノードに微小な電圧振幅を発生する。すなわちここまでの一連のイベントは、CLK の立ち上がり時刻 A からそのタイミングが決定されている。

- その後 SACK 信号が立ち上がる。すなわちセンスアンプが活性化されて上記の微小な電圧振幅の信号を増幅し、センスアンプ回路の後段の出力レジスタ回路がデータをラッチできる電圧に変換する。

本実施例では図示する様に、時刻 B のクロックの立ち上がりを基準として SACK の立ち上がりすなわちセンスアンプの活性化タイミングを決める。この意味を以下により具体的に述べる。

- クロック周波数が低下する、すなわち、時刻 A から測定した時刻 B が遅くなると、本実施例では、時刻 A を基準として測定した SACK の立ち上がり時刻もこれに連動して同じだけ遅れる。例えば時刻 A を基準にし

て測定した時刻 B が 1ns 遅くなると SACK も 1ns 遅くなる。

この設定によれば図示したマージン 1 がクロックの周波数により変化することになり、このデバイスで決まる限界の値まで SACK を早めることが出来る。

- 5 従来は、このマージン 1 は、環境条件（温度、電源電圧）、デバイス条件（MOS トランジスタの特性ばらつき）等が最悪の条件の場合でも、正帰還型のセンスアンプが誤動作することのないように設定する必要があった。すなわちデバイス条件等の環境条件が変化した場合には非常に大きなマージンが無駄に取りすぎることになる場合がある。
- 10 メモリ回路の場合はメモリセルの数が多く、数多くのメモリセルの中の最悪のメモリセルによって最悪条件が決まるため、正常動作品を確保するためにはマージンを大きく取るとは避けられない。本実施例によれば、メモリセルの製造プロセスや、動作環境に応じた必要最小限度のマージンを設定することが可能となる。
- 15 図 2 により図 1 のタイミングを実現するためのメモリのブロック構成例を説明する。図 2 は本発明を適用した 8M Bit のシンクロナス SRAM 回路の構成例を示したものであり、メモリセルアレイ 200 をアクセスする。A0-A17 はアドレス入力、/SS はシンクロナスセレクト信号入力、/SWE はシンクロナス書込み信号、/SWEx はシンクロナスバイトライト信号入力、/G は非同期出力制御信号、CK、/CK はクロック信号入力、VREF は I/O インターフェイス用の基準電圧入力端子、ZQ は出力インピーダンスのプログラム用端子、DQ0-DQ35 はデータの入出力端子である。
- 20 アドレス、/SS、/SWE、/SWEx は、入力バッファの後の各レジスタ 21 ~ 24 でクロック信号の切り替わり時点でレジスタされる。書込みサイクルで有れば、アドレスは W-Add register 25 にレジスタされる。書込みサイクルの場合だと前回の書込みアドレスが選ばれて MUX 26 から

出力されるし、読み出しの場合には入力されたアドレスがそのまま MUX 26 から Row decoder 27 または Column decoder 28 へ入力される。

WRC 29 は読み出し状態と書込み状態の切り替わりを制御する回路であり、WA (書込み回路) 30、SA (センスアンプ) 31などを制御する。

- 5 アドレスの MUX 入力にある EXNOR 回路 32 は入力されたアドレスが前回の書込みアドレスと同じかどうかを常にチェックしており、もし一致すれば Match 信号により出力の MUX 33 が書込みデータをそのまま出力する。その後、Dout register 34 に出力データがいったん蓄えられ、このデータが出力バッファ OB 35 から出力される。入力データは D-in register 36 をとおり、WA 30 に伝えられる。

Data Output Control(DOC)回路 37 は出力バッファのハイインピーダンス状態を制御する。CLK ctrl 38 はクロック制御回路であるが、DLL 等のクロック制御回路はこの中に入っている。

- 図 1 のタイミング図に戻り、図 1 に示したもう一つのポイントである
- 15 Word 線の立ち下がりの基準時刻について説明する。後に図 3 で示すように、従来は時刻 A から一定な遅延時間の後に Word 線を立ち下げる方法が取られていた。しかし、従来の方法の様に Word 線を立ち下げると、本発明のタイミングでセンスアンプを活性化する場合には、サイクル時間 (時刻 A と時刻 B の間隔) が長くなった場合にワード線が立ち下がってから、センスアンプが活性化することになり、センスアンプのデータ
- 20 が正しく取り込めなくなる。

- そこで本発明を用いてセンスアンプを高速化する場合で、しかも長いサイクル時間でも正常動作する必要がある場合には、(1) センスアンプ活性化の制御を従来通りに時刻 A から決まるように戻すか、あるいは
- 25 (2) 図 1 の様に Word 線の立ち下がり時刻も時刻 B のクロックエッジから決めるようにする方法がある。こうすれば、サイクル時間が長くな

ってもワード線が立ち下がる時刻は絶対にセンスアンプ活性化時刻よりも早くなることはなく、正常動作する。

なお、本明細書中でクロックのエッジと呼んだ場合、これは集積回路のスペックでクロックの切り換わり時刻と通常呼ばれている時刻を指すものである。例えばクロック入力が差動のメモリではその差動信号のクロスする時刻を指す等、その集積回路のスペックにより定義は変化する
5 場合がある。

図 3 で比較例でのマージン設定方法を説明した後、本実施例により得られる効果を述べる。図 3 に示すタイミングが本発明の場合と異なるのは SACK すなわちセンスアンプの活性化のタイミングが図 1 の場合では時刻 B を基準として決まるのに対し、図 3 の場合では時刻 A を基準として決まる点である。SRAM の場合は例えば遠端のワード線が立ち上がってから一定の遅延時間の後にセンスアンプを立ち上げることになる。
10 図 2 の方法では図中のマージン 1 を回路設計時に決めるために、常に固定されてしまい、デバイスの性能に見合った最高のセンスアンプの性能を得ることができない。逆にいえば、本発明によれば、このマージン 1 が設計時に固定されないため高速なセンスアンプを得ることができる。

また、従来の設計でそのデバイスにより選られる最高性能を得ようとするためには図 3 中のマージン 1 を極力削ることになるが、これにより
20 センスアンプが誤動作する場合が発生するとそれは不良品になる。これは正帰還センスアンプの特性による。すなわち、本実施例によればこの様に最高性能ねらう設計の場合でも不良品の割合を増やすことがなく、低コストで製造することが可能となるという利点があると言える。

図 4 に SRAM で用いられる正帰還型のセンスアンプの例を示す。ビット線 40 はメモリセル 41 に直接接続される。複数のビット線対が Y スイッチ (MOS M13 及び MOS M14) を用いて 1 組のコモンビット線
25

CDT, CDBに接続している。同時にはこの中の1つのYスイッチのみがONすることにより、選ばれたビット線のデータを、このセンスアンプは増幅する。

以下にこの回路の動作を説明する。SACMがLowの時はMOS M10がOFFしており、MOS M1, M2, M3がONするため、このセンスアンプの出力端子OUT1、OUT2が共にHighレベルになる。次にメモリセルからのデータがMOS M8、MOS M9のゲートに入力されると、ゲート端子がHigh側のMOS（例えばMOS M9）がONする。MOS M9のソースとドレインの寄生容量によるチャージシェアによりOUT1の電位が少し低下し、OUT2との間に微小な電位差ができる。OUT1とOUT2間の電位差はMOS M8、MOS M9の間のゲート電位の差が広がれば広がるほど大きくなる。MOSトランジスタの増幅器にはVTHのデバイスばらつきに伴うオフセットが存在するため、誤動作を避けるためには、この電圧振幅が出来るだけ大きくなってからSACMをオンさせる事により、誤動作を防止する必要がある。コモンビット線の振幅電圧はメモリセルの電流とコモンビット線負荷回路43により決まる。

通常、図1に示すように基準とする時刻よりも遡った信号を発生するのは不可能であるが、同期型メモリ等では通常動作での周波数が一定であるという特徴を利用して、例えばDLL（Delay Locked Loop）回路、PLL（Phase Locked Loop）回路、あるいはSMD（Synchronous Mirror Delay）回路等を用いて、基準とする時刻よりも遡った信号を発生することが可能である。

図5と図6を用いて本発明のクロック信号のタイミング発生の一例を説明する。

図5はDLL回路を用いた場合のブロック図を示す。遅延時間がクロック周波数によって変化する第1の遅延回路51と、遅延時間がクロック

周波数によらず一定な第 2 の遅延回路 5 2 を用いる。クロック入力信号から、第 1 の遅延回路による遅延時間 $d1$ と、第 2 の遅延回路による遅延時間 $d2$ で決まる遅延時間だけ遅延させた信号と、もとのクロック信号を位相比較器に比較することにより、CLK1 と位相の合った CLK2 が出力される。ここで、位相を合わせるのは位相比較器 5 3 から出力する VF が表す位相の差分に関する情報により遅延時間が変化する、すなわち遅延時間がクロック周波数によって変化する遅延回路 $d1$ である。クロック CLK2 の位相が クロック CLK1 よりも遅れると $d1$ の遅延時間を小さくなり、その逆の場合には $d1$ が大きくなる。ここで CLK1 の出力時刻は CLK2 よりも遅延時間 $d1$ に相当する分は必ず進んでいるため図 1 示したような、与えられたクロック信号よりも一定の時間だけ早いクロック信号を得ることが可能となる。

図 6 に図 5 の構成の動作タイミングを示す。位相比較器及び遅延回路 $d1$ により クロック入力 CLK とクロック信号 CLK2 の位相が一致する。CLK1 までの遅延 $d1$ は変化するが CLK1 から CLK2 までの遅延時間 $d2$ が一定に保たれ、CLK よりも $d2$ の遅延時間分だけ早い信号 CLK2 が得られることが判る。実際には図 5 の回路の外部クロック CLK から位相比較器の間には遅延が入ることが普通であり、この場合の例を図 7 と図 8 に示す。

図 7 及び図 8 は図 5 の回路において外部クロック CLK から位相比較器の間の回路 7 0 による遅延を考慮した例である。この遅延時間を図 7 で $d1$ と示す。他の回路構成は図 5 と同様の符号を付して説明を省略した。図 7 では位相情報により変化する遅延時間は $d2$ 、ループに含まれる一定の遅延時間を $d3$ とする。この場合、図 8 のタイミング図に示す様に外部クロックから遡る時間は $d3 - d1$ となる。

図 9 で DLL を用いない SRAM のタイミング例を説明する。図 1 の例で

は DLL、SMD 等の基準クロックの時刻からさかのぼってセンスアンプを活性化する必要があるが、図 9 の例はこの様な特別な回路を必要としない場合の例である。

- すなわち、センスアンプを活性化する SACK の立ち上がりがその基準
5 となるクロックのエッジよりも後になるため、通常の遅延素子によりクロック立ち上がりから SACK が作れる。しかもサイクル時間は図 1 等の場合と同等以上に高速化できる可能性がある、と言う利点がある。但し、本実施例の場合は SA 出力の後段の処理が時刻 B 以降に開始するため、図 1 の例に比較して時刻 B から Data 出力までの時間が長くなる。逆に
10 言えば図 1 の例は DLL 等の回路を用いることによりこの欠点を補うことが出来ていると言える。図 9 の例においてもマージン 1 がクロックのサイクル時間によって可変となっていることがわかる。

- 図 10 は Double Data Rate (DDR)、Echo Clock の機能を持つ SRAM に本発明を適用した場合の実施例を示す。DDR とはクロック入力の立ち上
15 がりと立ち下がりのそれぞれのエッジで Data を出力する、すなわちアドレス等の入力に比べ倍の周波数でデータを出力するメモリを指す。さらに図 10 の例では高速になった場合のデータとクロックのスキューを抑えるために Echo Clock を用いている。Echo Clock とは Data を出す側から、その基準となるクロック信号も同時に出力してやることで、
20 データの受け手にとってデータ自体と基準クロックの間のスキューを小さく抑えることを目的とする。

- DDR、Echo Clock を用いた SRAM の動作も、図 1 の SRAM と基本的には同じである。センスアンプの活性化信号は時刻 1 の次のクロックの立ち上がりエッジ（時刻 3）を基準として決められる。もし、時刻 2 をこ
25 れに用いると、周波数以外に入力のクロックのデューティにもセンスアンプの活性化が影響することになり、メモリを使う側から見ると制御す

べきパラメータが増えてしまうため、本例のように時刻 3 あるいは他のクロックの立ち上がりのエッジを用いる方がよい。

CLKOUT は SRAM からの Echo Clock の出力を表しており、それぞれのクロックの立ち上がり時刻と立ち下がり時刻は入力クロック CLK の立ち上がり時刻及び立ち下がり時刻から決まる。出力はこのそれぞれのエッジに同期して出力される (Data 出力)。

図 1 1 は上記 図 1 0 の DDR SRAM の動作を実現するブロック構成例を示したものである。図 2 に示した通常の SRAM の場合とほぼ同等であるが、変更のある部分を中心に説明する。

10 B1, B2, B3 は Burst Control 信号入力端子を示す。これらの信号の組み合わせにより書き込み、チップ選択などの機能を制御する。これらの信号はバッファ 1 1 1 ~ 1 1 3 に入力される。

BC 1 1 0 はバーストコントロール回路を示す。外部から受け取る一つのアドレスに対して内部で複数 (例えば 4 つ) のアドレスを生成してそれぞれのアドレスにアクセスする機能をバーストという。このための内部アドレスを生成するのが BC の機能である。図 1 1 ではバーストするアドレスは A0 および A1 の 2 ビットであるために、4 つのアドレスにアクセスすることになる。

図 1 1 の例では図 2 に比べて、同時に倍のメモリセルをアクセスし、読み出したデータを連続して 2 回出力する。図 1 1 のように最下位のアドレス A0 に対してそれぞれ MUX を設ければ、DDR の場合にも正常に機能する回路が得られる。

図 1 2 で、本発明を同期型 (Synchronous) DRAM に適用した場合の実施例を説明する。外部から入力された CLK のエッジに対応して入出力のタイミングが決まることは SRAM の場合と同様である。

同期型 DRAM (SDRAM) は一般に複数のバンクを持っており、これらの

バンクから交互にデータを読み出す場合にはバンク間の切り換え時間が非常に短いという特徴がある。RAS 信号が 図の時刻 1 の時に下がり、これに同期してワード線のアドレス (Address) が入力される。従ってワード線の立ち上がり、及びセンスアンプ (SA 出力) にメモリセルが到達するまでは時刻 1 を基準として図示したように決まる。

図 1 2 の例では外部からの CAS 入力が時刻 1 から数えて 3 サイクル目に入力されている。この CAS 入力より前に SACK 信号を立ち上げれば良い。基準となるクロックエッジはこの例では時刻 4 における CLK の立ち上がり時刻としているが、この時刻は以下の様な制限を考慮して設定すればよい。

図 1 2 の例では アドレス入力に対する Data 出力が時刻 5 のクロックを基準として出力される。すなわち、SACK を遅くしすぎる、すなわち SA 出力が遅くなりすぎると、その後段の処理がこの Data 出力に間に合わない場合がある。ただし、このタイミングは時刻 4 (基準とするクロックエッジの時刻) に対して遅くした方が、ここまでのサイクル時間つまりセンスアンプのラッチまでのサイクル時間の実力は向上する。従って、この遅延時間の値はクロックからデータ出力までのアクセス時間とサイクル時間の間のトレードオフを決める遅延時間となる。

なお、Word 線は次回のバンク選択信号 (RAS が Low になる) を受けて立ち下がる様に設定する。すなわち、Word 線の立ち下がりタイミングもその立ち上がりのタイミングを決めるクロックの立ち上がりエッジとは別のエッジを基準とすることで、正常動作が保証できる。

図 1 3 に本発明を用いた SDRAM の動作タイミングを示す。図 1 3 も図 1 2 の場合とほぼ同様であるが、異なるのはセンスアンプの活性化タイミングが、図 1 2 の場合よりも 1 サイクル早いクロックエッジを用いる点である。そのため、図 1 2 の場合よりもさらに高速なサイクル時間に

対応することが出来る。

現在の SDRAM では、RAS から CAS までの入力の間隔は minimum 時間が仕様として規定されている。しかし、本発明の様な構成を取るセンスアンプの場合には、時間の絶対値を規定するのではなく、サイクル数す
5 なわち RAS 入力から最低何サイクル後に CAS を入力して良いかと言う仕様とすればよい。

本実施例による利点は、RAS からのアクセスすなわちバンク情報が与えられてからデータを出力するまでの遅延時間が短い SDRAM を得ることが出来る点にある。

10 図 1 4 に他の例を示す。本タイミング例では更に RAS から CAS までのサイクル数が減少した場合のタイミング例を示す。本例によれば図 1 2、図 1 3 よりもアクセスサイクル数の小さい SDRAM を得ることが出来る。

図 1 2、図 1 3、図 1 4 の場合には DLL 等のクロック回路によって、
15 センスアンプの活性化時刻を基準時刻よりもさかのぼらせる必要があったが、基準クロックよりも後にセンスアンプの活性化しても良い。

図 1 5 に基準クロックよりも後にセンスアンプの活性化する例を示す。この様な構成をとっても、クロック周波数が増大すれば自動的に図示したマージンが低減し、メモリセル特性、デコーダ特性、センスアンプ特性等により決まる最高のサイクルの性能を得ることが出来るという利点
20 がある。しかも、本例では DLL、PLL 等の多少複雑なクロック回路を組み込む必要がない、と言う利点もある。

図 1 6 に他の SDRAM のタイミング例を示す。この図は 2 つあるバンク間の切り換えがある場合の内部動作のタイミングを示す。クロックアクセス、時間及びバンク間の切り換え時間とも出力ピンでのデータの衝突が起こらない条件で最小のサイクル数となる場合の例を示している。
25

次に、マイクロコンピュータに内蔵されるキャッシュメモリに本発明を用いた例を考える。マイクロコンピュータ中は一般に PLL で制御されており、一定の位相の信号で制御されている。本発明で用いる PLL ではそのループ中に周波数によって遅延時間の変化する遅延回路と、これによ

5 よっては遅延時間が変化せず一定な遅延時間を持つ遅延回路の両方を含んだ PLL が必要となる。

この様な PLL 組み込んだマイクロコンピュータには本発明のキャッシュメモリを内蔵可能となる

マイクロコンピュータに本発明によるキャッシュメモリに組み込めば、

10 デバイスの限界のみから決まるキャッシュメモリの高速サイクル性能が得られる

本発明の他の実施例として、ロジック内蔵 DRAM を構成することができる。すなわち、マイクロコンピュータ、あるいはグラフィック回路等の論理回路と共に集積された DRAM にも本発明を適用することが可能で

15 ある。

この例によれば、マイクロコンピュータのサイクル時間を律速する、キャッシュメモリのサイクル時間が向上する結果、マイクロコンピュータの動作時間を向上させることが出来る。

次にクロック同期回路の配置についての他の例を示す。

20 図 17 は、SRAM におけるチップレイアウトの例を示す。チップ中心部と両脇に 3 列の入出力パッドの列が有り、アドレス信号、制御系信号の入力は主に中心のパッド列から、データ出力、および Echo Clock 出力当の出力は両脇のパッド列に割り振ってある。これによりデータの入力から出力までの信号伝播距離が短くなり、サイクル時間の高速化が可能

25 となっている。

DLL、SMD 等のクロック同期化回路は両脇のパッドの中央の 2 個所に

設ける。これにより出力パッドまでの距離が短くなりクロックとデータのスキューを小さくすることが出来る。

図 1 8 は、Register-Latch (R/L)タイプのシンクロナスDRAMへの応用例を示す。

- 5 R/LタイプのシンクロナスDRAMとは、メモリに対する入力はレジスタタイプすなわちクロック入力の立ち上がり、あるいは立ち下がり
のエッジの時刻における値を取り込み、メモリからの出力はクロック信号
が High の場合にデータが出力ラッチに固定され、クロック信号が Low
の場合には出力ラッチがスルー状態となるタイプのシンクロナスメモリ
10 である。

- この場合、図 1 の場合と異なり、センスアンプは時刻 2 すなわち、図
1 8 のクロック信号の立ち下がり基準として出力ピンを不定とするため、
センスアンプの活性化信号 SACK は図 1 の場合とは異なり、クロック
信号の立ち下がり時刻 2 を基準として動作するようにすればよい。これ
15 により、本発明の他の実施例と同様に、図 1 8 における時刻 1 と時刻 2
の間の時間が変動し、これがそのまま SACK を前後させるため、時刻 1 及
び時刻 2 の間の時間に比例してワード線の活性化からセンスアンプの活
性化までの時間を制御することができる。このため、サイクル時間の高
速化に伴ってセンスアンプ活性化時間が前へずれるため、クロックの高
20 速化に伴ってセンスアンプの活性化のマージンを増減させることができ
る。

図 1 9 に Register-Through (R/T)タイプのシンクロナスメモリへの応
用例を示す。

- R/Tタイプのシンクロナスメモリとは、信号入力にはレジスタを用い
25 るが出力にはレジスタやラッチを用いないタイプのメモリである。

この場合、図 1 9 に示すように、入力のレジスタで決まる時間のみ、

すなわちワード線に有効なデータが保持されている時間のみ有効な出力データが保持される。従って、R/Lタイプ、R/Rタイプと比較すると、出力データの保持時間は短くなるが、アドレスからデータ出力までの絶対時間を短縮することができる。

- 5 図 19に見られるように、センスアンプの活性化時刻すなわち、SACKの基準時刻はクロック信号のエッジであるが、入力信号を取り込み、次のエッジとなっており、この間すなわちクロック信号が High の時間が短くなれば、それに伴ってワード線立ち上がりから SACK までの時間も短くなる。
- 10 図 20はシンクロナスメモリへの書込み時のワード線とビット線の関係を示す。図 20に示したように、ワード線を時刻 1を基準として立ち上げ、時刻 3を基準として立ち下げる場合、本発明によればビット線もワード線と同じ時刻を基準として立ち下げる。この方式によれば、ワード線とビット線の時刻を相対的に合わせることが可能となり、プロセス
- 15 変動、電源電圧変動、温度変動などの条件変化によってもワード線とビット線との相対的な時間の変化が小さくなる設計を可能とする。これにより、回路がより高速で動作し、MOS デバイスなどの特性のばらつきによっても誤動作することが少ないという効果がある。

- 20 図 21は本願発明の他の実施例として、Synchronous Mirror Delay (SMD)回路を用いた例を示す。SMDは供給される外部クロック信号に対して同期した内部クロック信号を生成するための回路であり、ISSCC'96等の学会で発表されている。PLL, DLL等の他の同期クロック信号発生回路と比較すると、2サイクルという少ないサイクル数で同期した内部回路が得られると言う特徴を持っている。

- 25 図 21は、SMDの典型的な回路を示す。外部入力クロックから2サイクル($2t_{CK}$)遅れて外部クロックにその位相が同期した内部クロック信号

を発生する。本方式の課題の一つはその精度にある。内部クロック信号の外部クロック信号に対する同期の精度を向上させようとする、図 2 1 に示す forward delay 2 1 2, backward delay 2 1 4 を構成する遅延回路の一段あたりの遅延時間を短くしなければならず、そのためには非常に短い遅延回路が必要になる。すなわち、ゲート回路で発生可能な最小の単位遅延時間以下の精度で出力クロック信号を入力クロック信号に同期させることは困難である。

本実施例では SMD と DLL を組み合わせ、SMD で大まかな精度が合ったクロック信号を発生し、これを更に DLL により高精度化する。これにより、SMD で問題となる一段あたりの最小の delay に律速されていた内部クロック信号の精度を飛躍的に向上させることができる。

図 2 2 に具体例を示す。外部入力と SMD の出力信号を位相比較器 2 2 1 に入力し、その出力によって電圧制御遅延回路 2 2 0 で SMD の出力信号を制御することにより、外部クロック信号により精度良く合った内部クロック信号を発生することができる。図 2 1 と比較すると、delay b 2 1 5 における遅延時間を d2 ではなく、これよりも短い時間(d2-d3)に設定する。このときの全体の和は、

$$d1+tCK+(tCK-d1-d2)+d2-d3+d(VCD)=2tCK-d3+d(VCD)$$

となる。ここで、d(VCD)は電圧制御遅延回路 2 2 0 による遅延時間を示す。従って d(VCD)を d3 にあわせることができれば、内部クロックは外部クロックに同期する。

この実施例によれば、DLL のみを用いる場合と比較して、クロック入力信号に同期した内部クロック信号を発生するまでの時間を短くできるという効果がある。また、本実施例によれば、SMD 回路により大体の位相が合ったクロック信号を微調整するため、DLL の欠点であった内部クロックを生成するのに比較的多いサイクルが必要である問題を解決でき

る。

- また、DLL により遅延時間を電圧で変化させる VCO(Voltage Controlled Delay) 部の受け持つ遅延時間は、通常の DLL のみで構成したときに比べて遅延時間の調整可能な幅を小さくとることができ、これによって出力
- 5 の精度を向上することができる。

産業上の利用可能性

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

- すなわち、デバイスの性能で決まる最高の性能のセンスアンプ回路が、
- 10 歩留まりの低下という副作用なしに実現可能である。また、本願の他の効果は、設計終了後にデバイス性能が変更されてもそれぞれのデバイス性能最高の特性を得ることが出来る、すなわち設計段階でセンスアンプの動作マージンを決める必要がないという効果が選られる

請 求 の 範 囲

1. クロック信号が入力されるクロック端子と、処理すべき信号が入力される内部回路とを有し、上記クロック信号の第1の時刻を基準として上記処理すべき信号を上記内部回路に入力し、上記クロック信号の第2
5 の時刻を基準として上記内部回路を動作させる同期型集積回路。
2. 上記処理すべき信号を第3の時刻に上記内部回路に入力し、上記内部回路を第4の時刻に動作させる際に、上記第1の時刻と第3の時刻の時間間隔が一定であり、上記第2の時刻と第4の時刻の時間間隔が一定である請求項1記載の同期型集積回路。
- 10 3. 上記同期型集積回路はアドレス信号で読み出しが指定される複数のメモリセルを含むメモリアレイと、上記アドレス信号で指定されたメモリセルから読み出された信号を増幅するセンスアンプとを含み、上記処理すべき信号が上記メモリセルから読み出された信号であり、上記内部回路が上記センスアンプであり、上記第1の時刻を基準として上記アド
15 レス信号で上記メモリセルを指定し、上記第2の時刻を基準として上記センスアンプの増幅動作を開始する請求項1記載の同期型集積回路。
4. 上記第1の時刻における上記アドレスを信号デコードするデコーダを有し、該デコードされたアドレスで指定されたメモリセルから読み出された信号を、上記第2の時刻を基準として増幅動作を開始した上記セ
20 ンスアンプで増幅する請求項3記載の同期型集積回路。
5. 上記デコードされたアドレスで指定されたメモリセルから信号が読み出される時刻と、上記センスアンプの増幅が開始される時刻が、上記クロック信号のサイクル時間により変化する請求項4記載の同期型集積回路。
- 25 6. 上記第1の時刻が上記クロック信号のパルスの第1の立ち上がりの時刻であり、上記第2の時刻が上記クロック信号のパルスの第2の立ち

上がりの時刻であり、上記第2の立ち上がりは上記第1の立ち上がりの次のパルスの立ち上がりである請求項1乃至5のうちいずれかに記載の同期型集積回路。

7. クロック信号に基づいて動作する半導体記憶装置であって、情報を蓄積する複数のメモリセルと、該メモリセルの少なくとも一つを指定するためのアドレス信号をデコードするデコーダと、該アドレス信号によって指定されたメモリセルに蓄積された情報を反映した出力信号を出力する出力線と、該出力信号を増幅する増幅器とを有し、上記デコーダは上記クロック信号の第1の時刻のアドレス信号をデコードし、上記出力線は上記第1の時刻の所定時間後である第2の時刻に上記出力信号を出力し、上記増幅器は上記第1の時刻とは異なる第3の時刻から所定時間ずれた第4の時刻に活性化される半導体記憶装置。

8. 上記第1の時刻は上記クロック信号の第1のパルスの立ち上がりまたは立ち下がりであり、上記第3の時刻は上記クロック信号の第1のパルスの後に来る第2のパルスの立ち上がりまたは立ち下がりである請求項7記載の半導体記憶装置。

9. 上記増幅器は上記第1の時刻とは異なる第3の時刻の所定時間前である第4の時刻に活性化される請求項7または8の半導体記憶装置。

10. 上記増幅器は上記第1の時刻とは異なる第3の時刻の所定時間後である第4の時刻に活性化される請求項7または8の半導体記憶装置。

11. 上記第1のパルスと第2のパルスは連続したパルスである請求項8乃至10のうちいずれかに記載の半導体記憶装置。

12. 上記増幅器が正帰還をかけて増幅する請求項7乃至11のうちいずれかに記載の半導体記憶装置。

13. 上記クロック信号をDLL回路、SMD回路、もしくはPLL回路で処理することにより、上記第4の時刻のタイミングを形成する請求項7乃至

至 1 2 のうちいずれかに記載の半導体記憶装置。

- 1 4. 上記 DLL 回路または PLL 回路は、そのループの中に、上記クロック信号の周波数によって遅延時間が増加する第 1 の遅延回路と、上記クロック信号の周波数によらず遅延時間が一定な第 2 の遅延回路とを有する
- 5 請求項 1 3 記載の半導体記憶装置。

1 5. 前記複数のメモリセルにはそれぞれワード線が接続されており、該ワード線は前記第 3 の時刻を基準として非選択とされる請求項 7 乃至 1 4 のうちのいずれかに記載の半導体記憶装置。

- 1 6. 外部から活性化時刻が入力されるセンスアンプを備えた同期型集積回路において、上記センスアンプが増幅すべき信号の入力時刻が基準とする時刻とは別の時刻を基準として、上記センスアンプを活性化させることを特徴とする同期型集積回路。
- 10

- 1 7. 前記センスアンプの活性化時刻の基準となるのが、増幅すべき信号の入力時刻が基準とするクロックエッジの次のクロックエッジであることを特徴とする請求項 1 6 の同期型集積回路
- 15

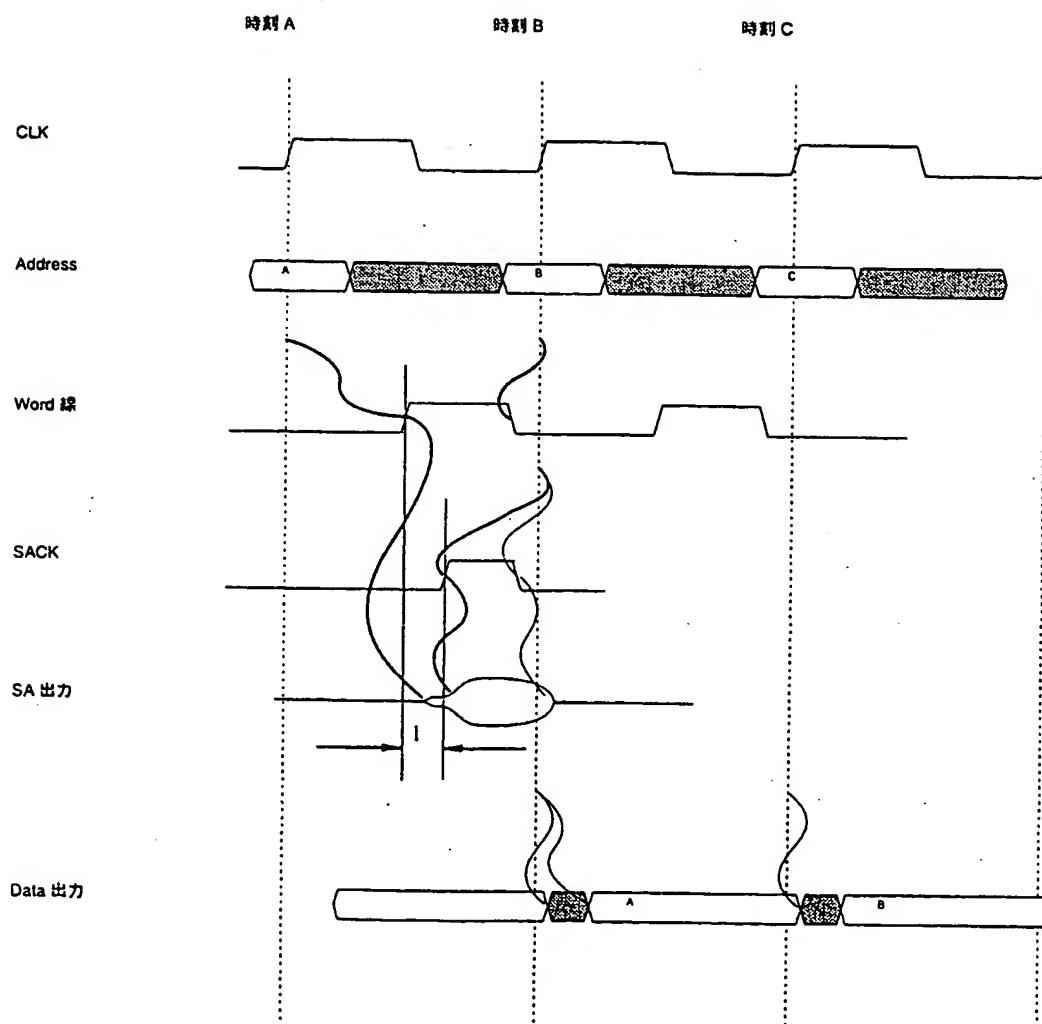
- 1 8. 外部からのクロック信号で活性化時刻が指定されるセンスアンプを備えた同期型集積回路において、上記クロック信号のクロック周期の変化量の絶対値と、上記のセンスアンプの活性化時刻と増幅すべき信号のセンスアンプへの入力時刻の時間間隔が、対応して変化する同期型集積回路。
- 20

- 1 9. 位相比較器と該位相比較器により制御される可変遅延回路とを有する同期クロック信号発生回路において、上記位相比較器の入力信号にシンクロナスミラーディレイ回路の入力および出力信号を用い、上記シンクロナスミラーディレイ回路中の遅延回路の一部に上記位相比較器出力により制御する可変遅延回路を用いたことを特徴とする同期クロック
- 25
- 信号発生回路。

20. クロック信号に基づいて動作する半導体記憶装置であって、情報を蓄積する複数のメモリセルと、該メモリセルに接続されるデータ線及びワード線と、上記データ線の出力信号を増幅するセンスアンプとを有し、

- 5 上記メモリセルからの情報の読み出し時には、上記データ線は上記クロック信号の第1の時刻の所定時間後である第2の時刻に上記出力信号を出力し、上記センスアンプは上記第1の時刻とは異なる第3の時刻から所定時間ずれた第4の時刻に活性化される半導体記憶装置。
- 10 21. 上記メモリセルへの情報の書込み時には、上記データ線は上記クロック信号の第1の時刻と所定時間ずれた第5の時刻に立ち上げられ、上記クロック信号の第2の時刻と所定時間ずれた第6の時刻に立ち下げられ、上記ワード線は上記クロック信号の第1の時刻と所定時間ずれた第7の時刻に立ち上げられ、上記クロック信号の第2の時刻と所定時間ずれた第8の時刻に立ち下げられる請求項20の半導体記憶装置。
- 15 22. 前記メモリセルはSRAMまたはDRAMである請求項20または21記載の半導体記憶装置。

図 1



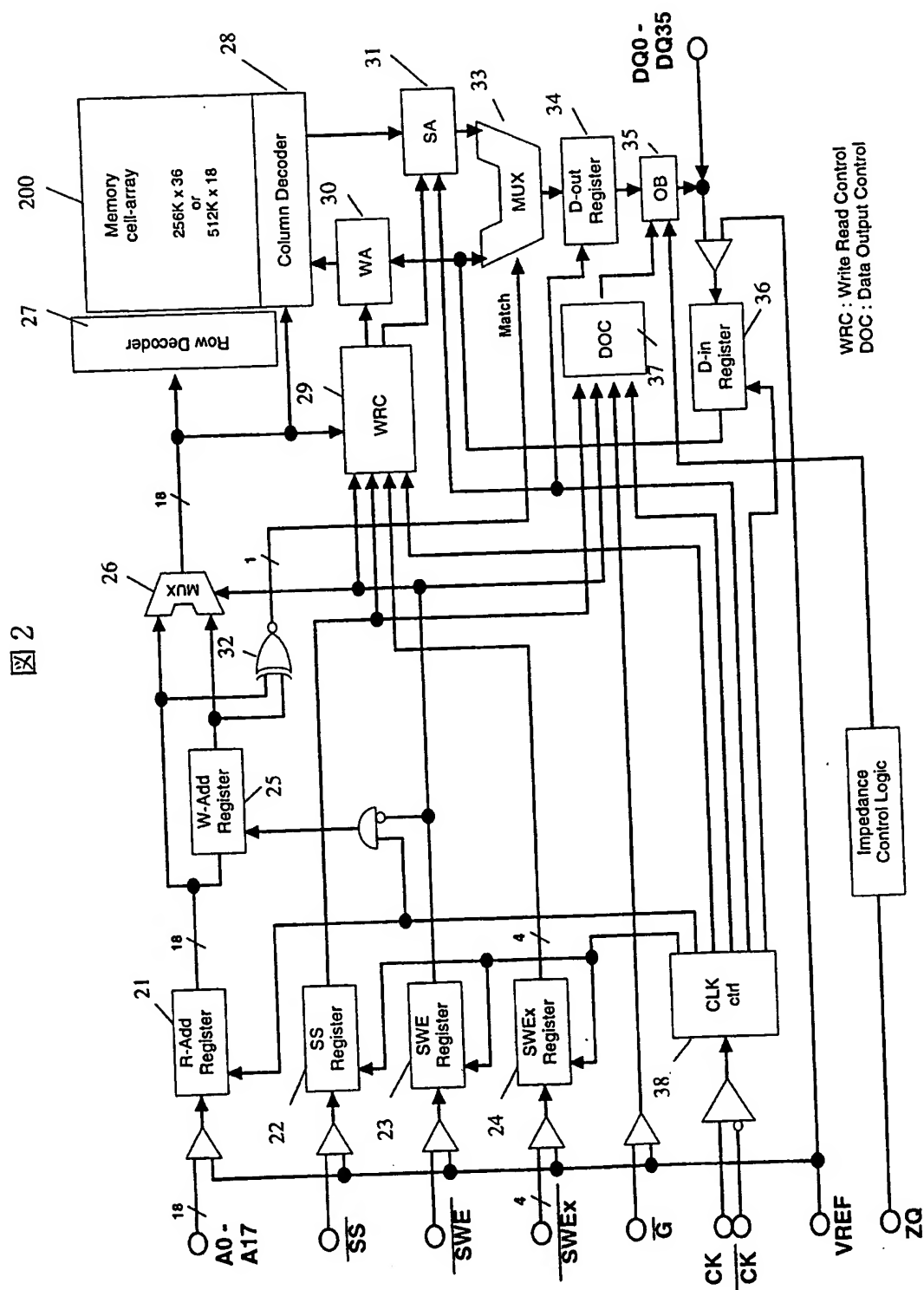


図 3

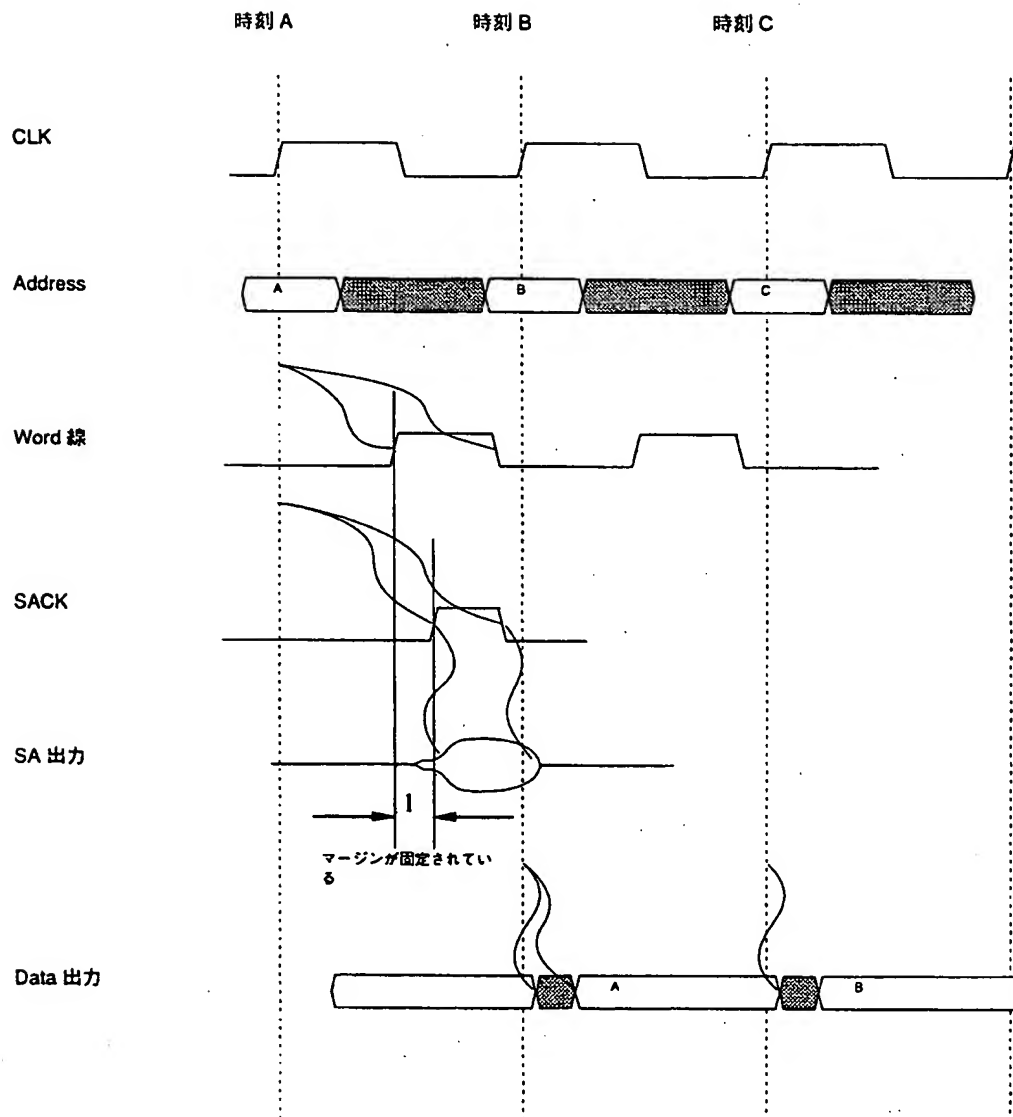


図 4

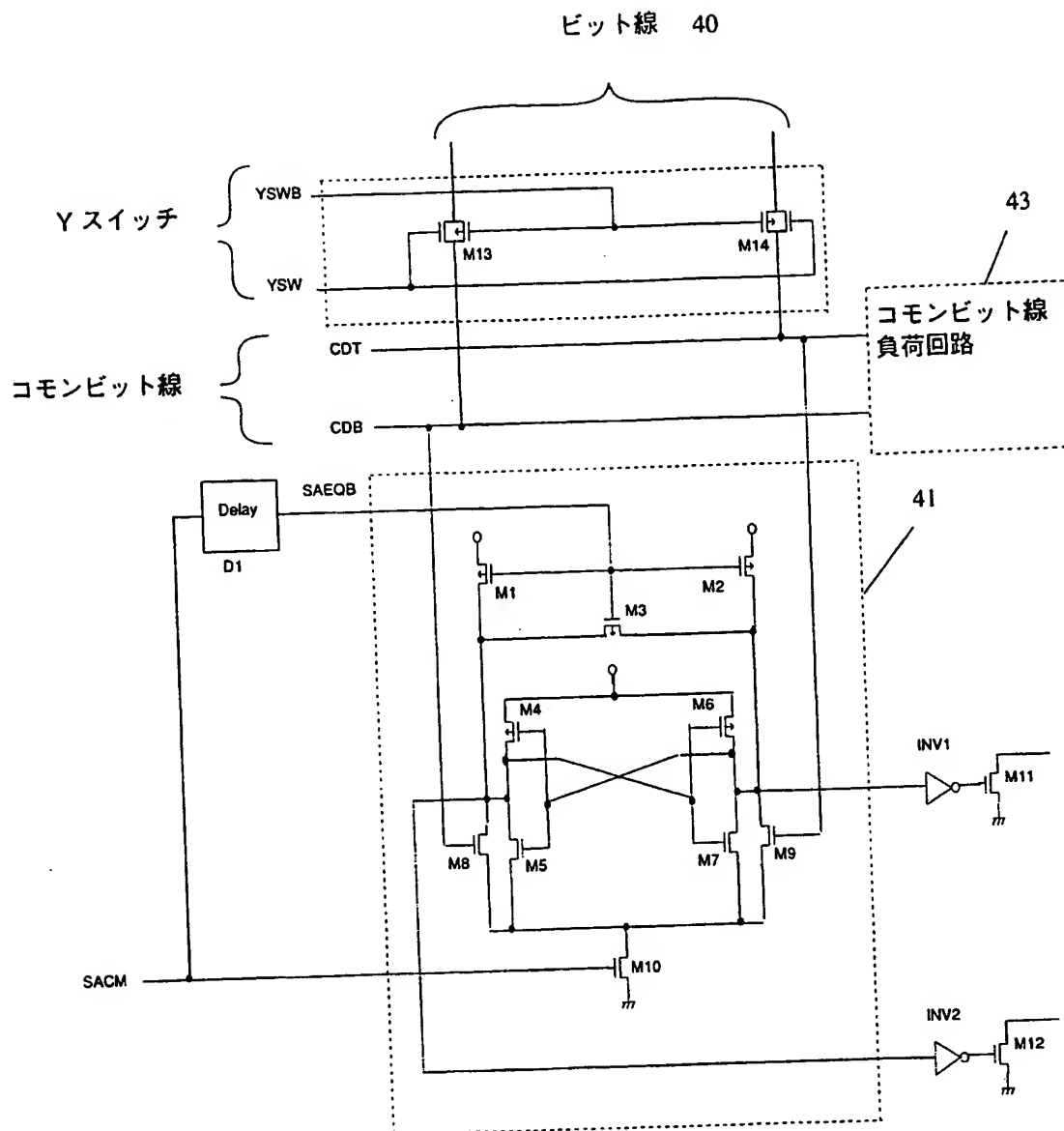


図 5

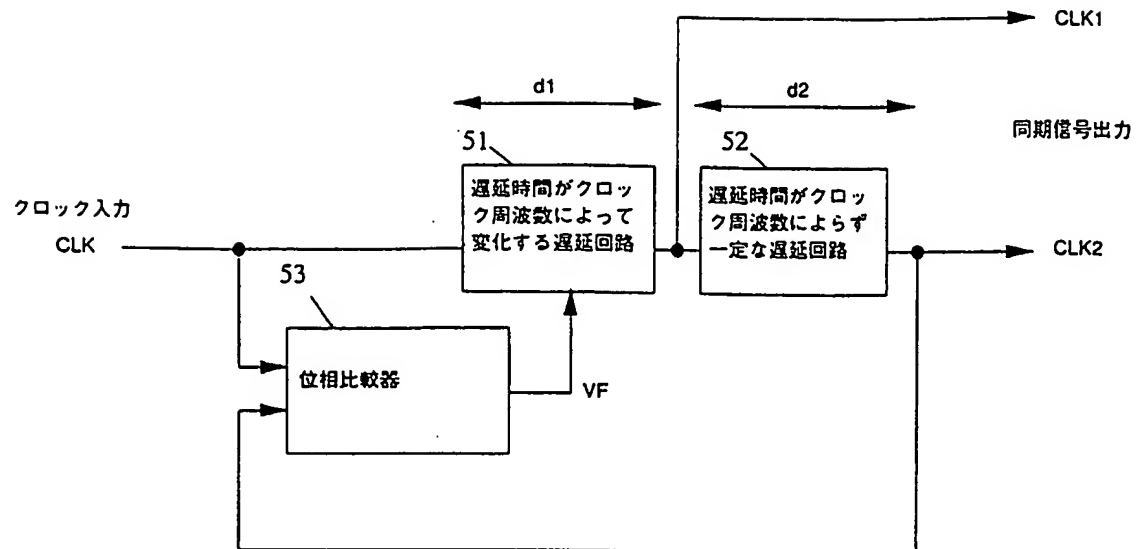


図 6

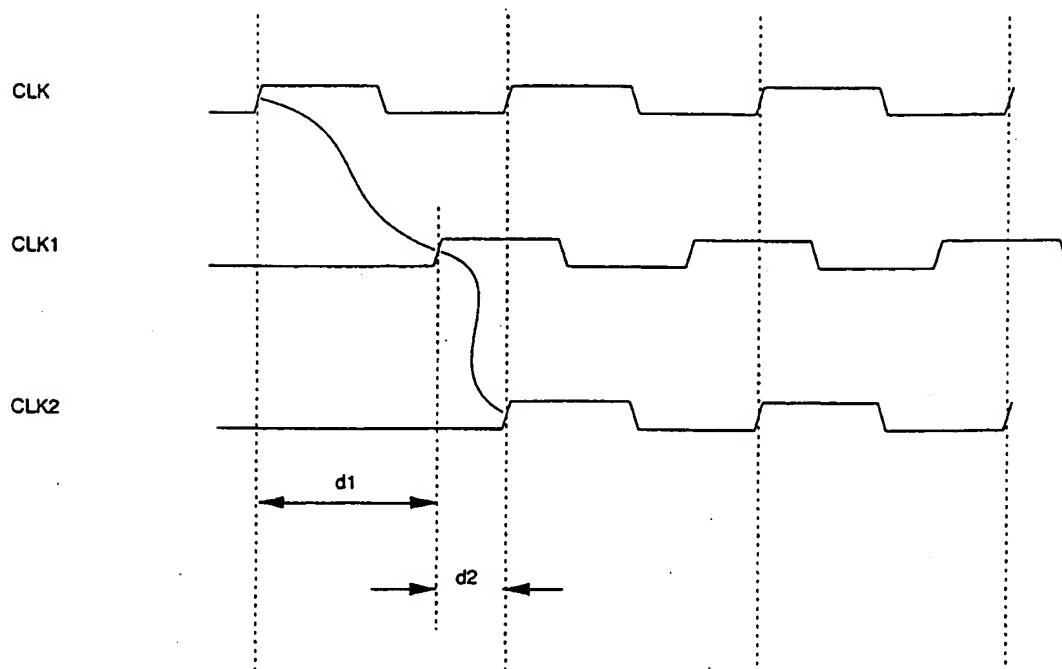


図 7

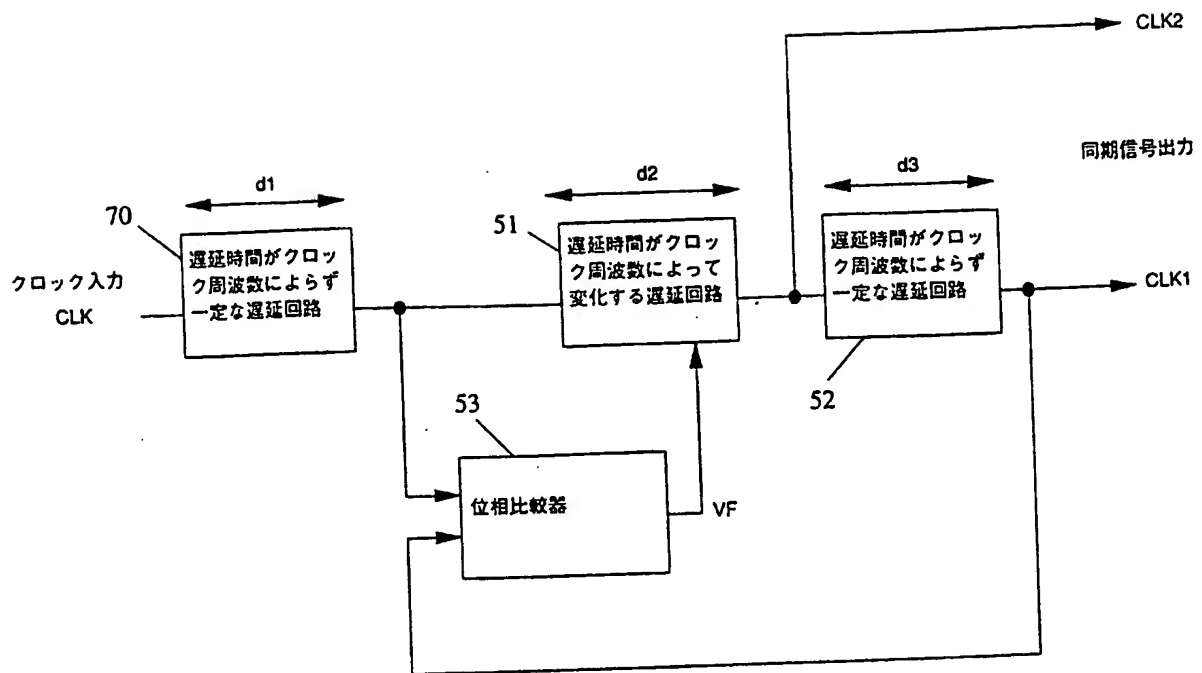


図 8

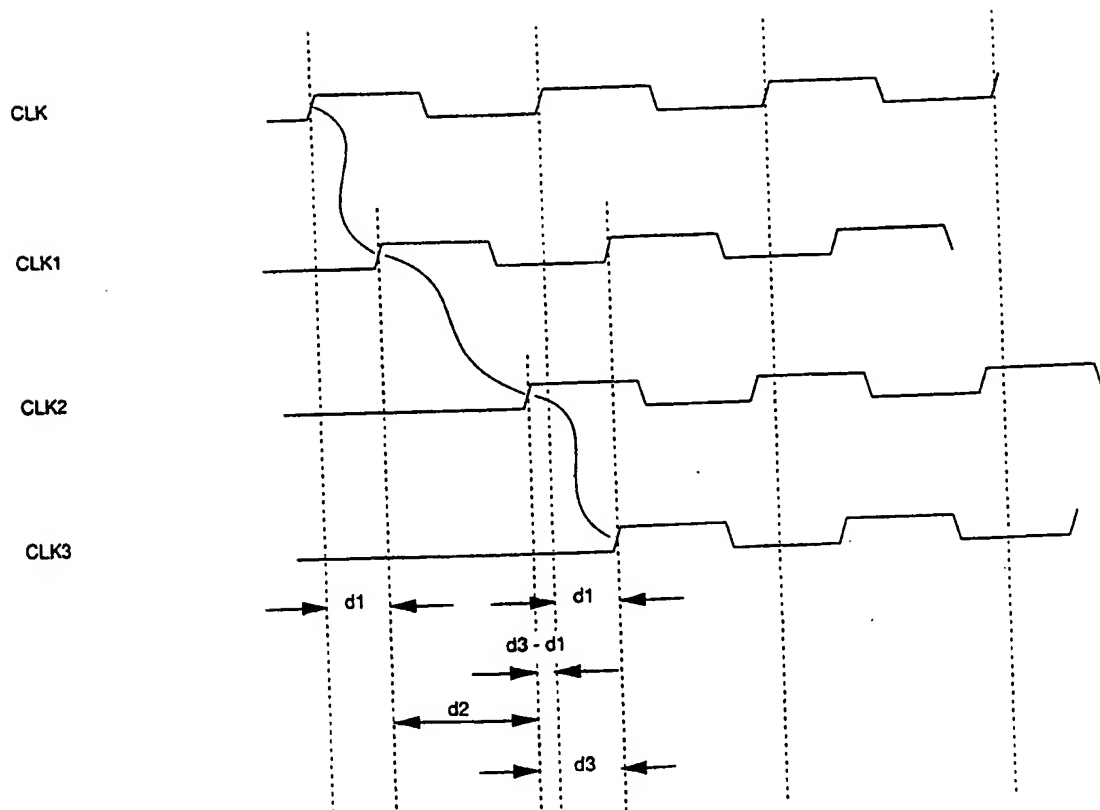


図 9

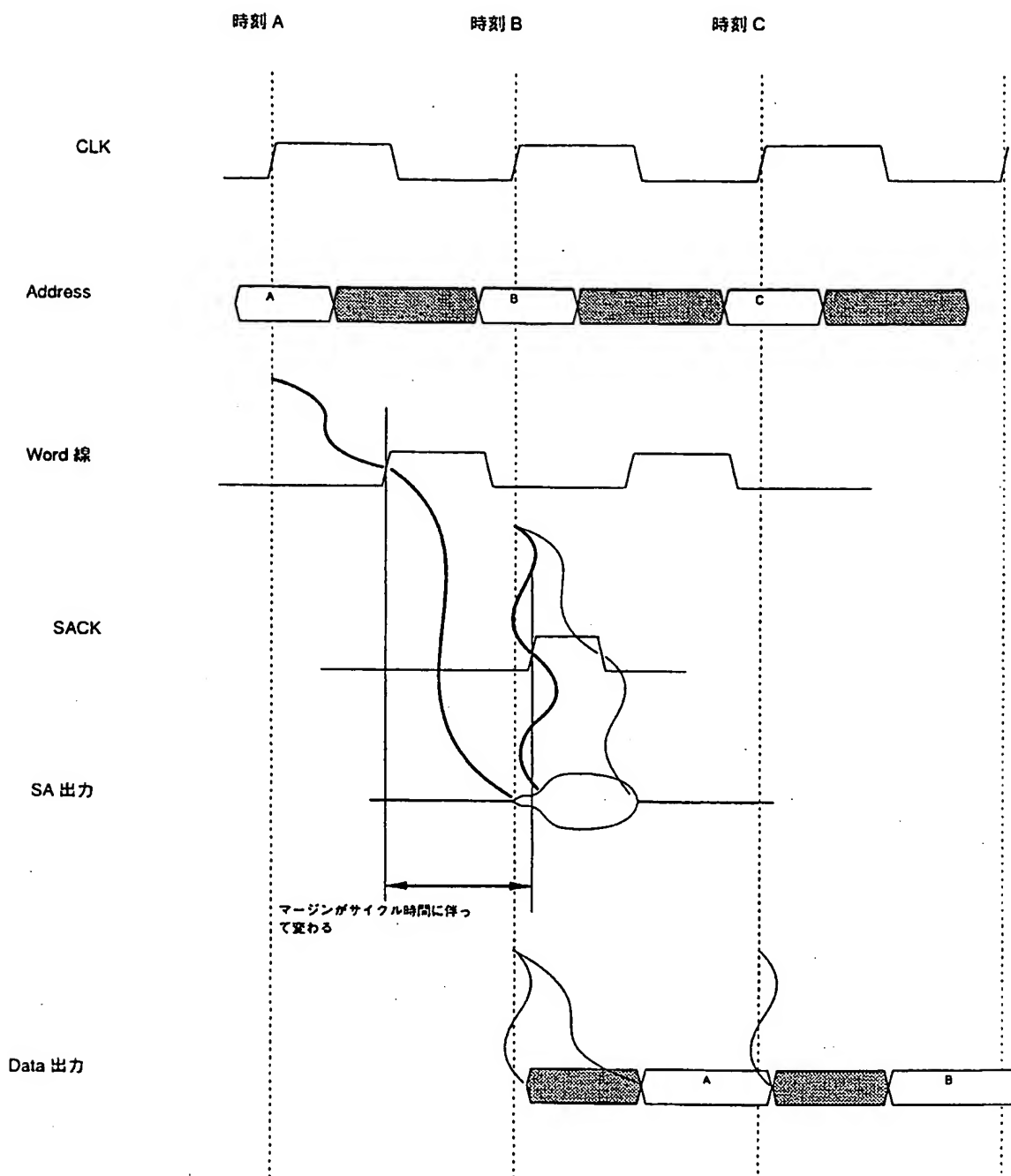
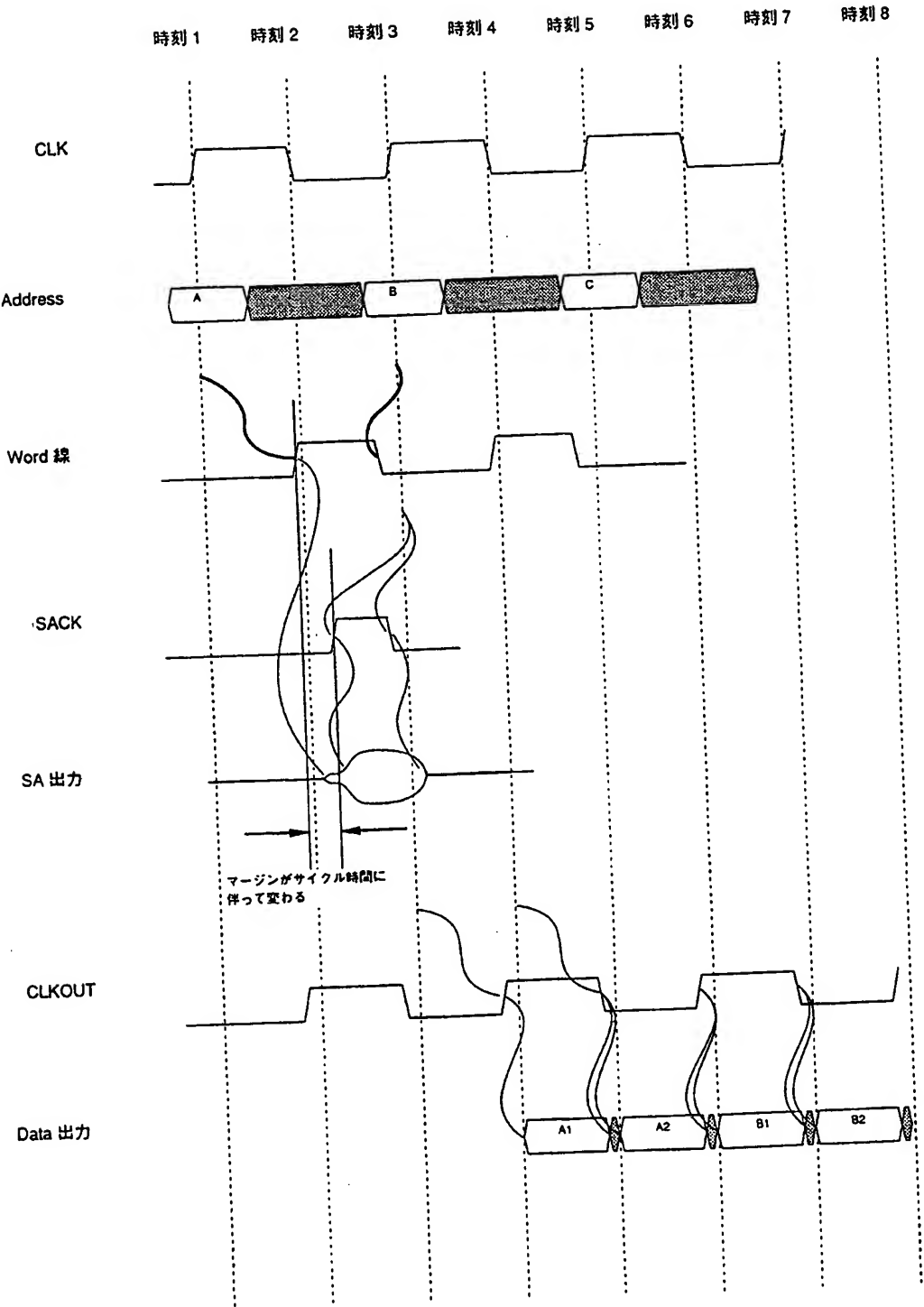
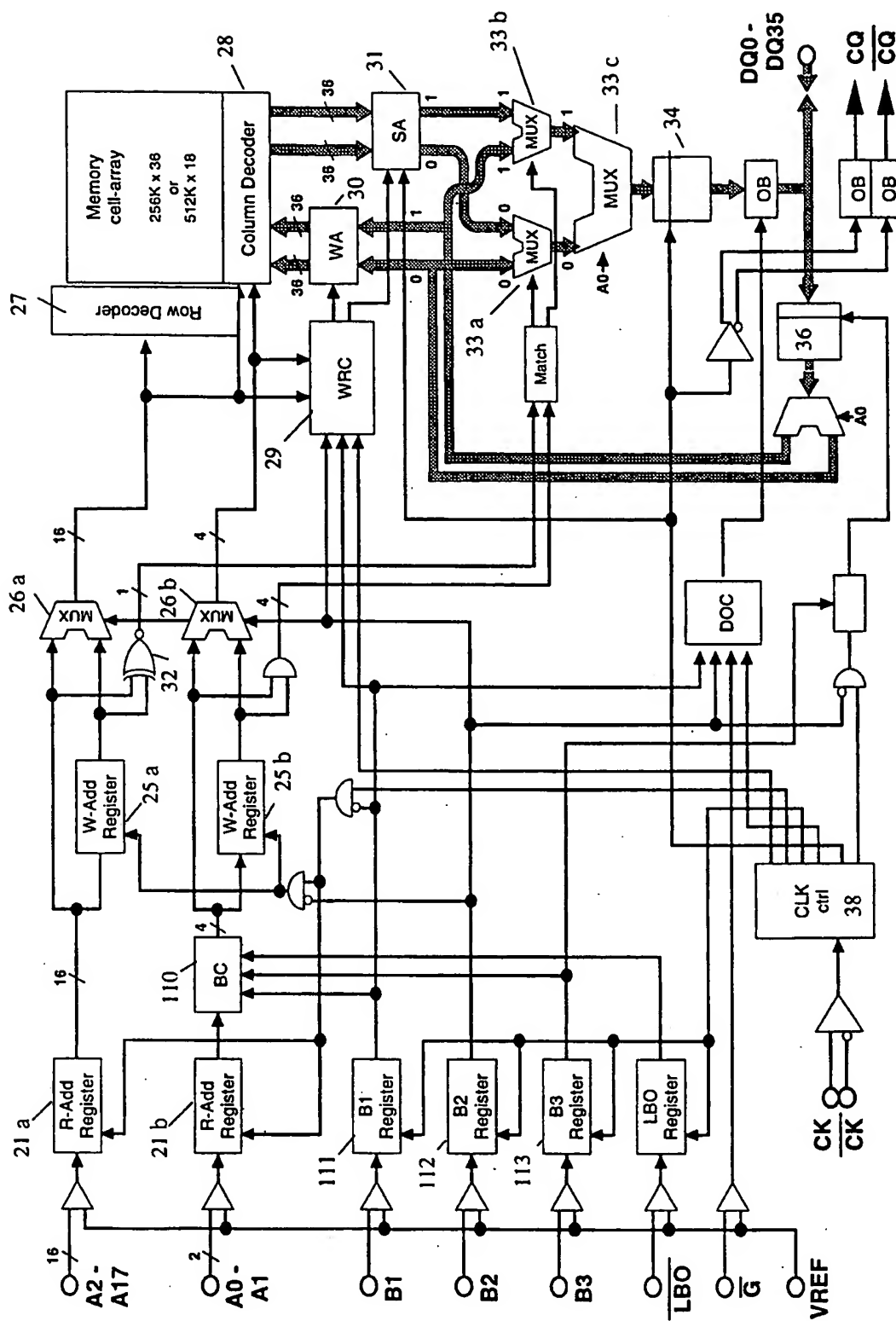


図 10





BC : Burst Counter.
WRC : Write Read Control.
DOC : Data Output Control.

図 1 2

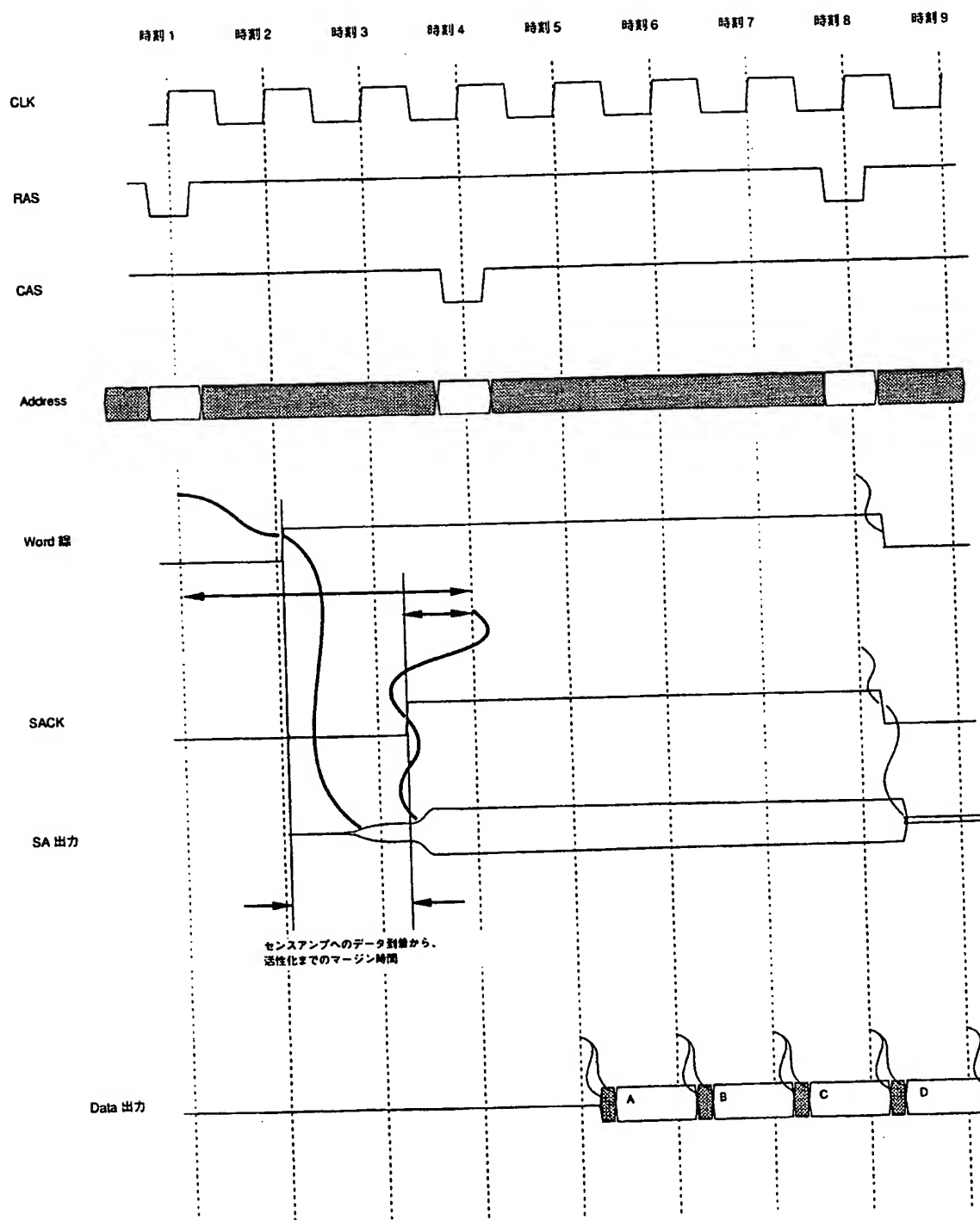


圖 13

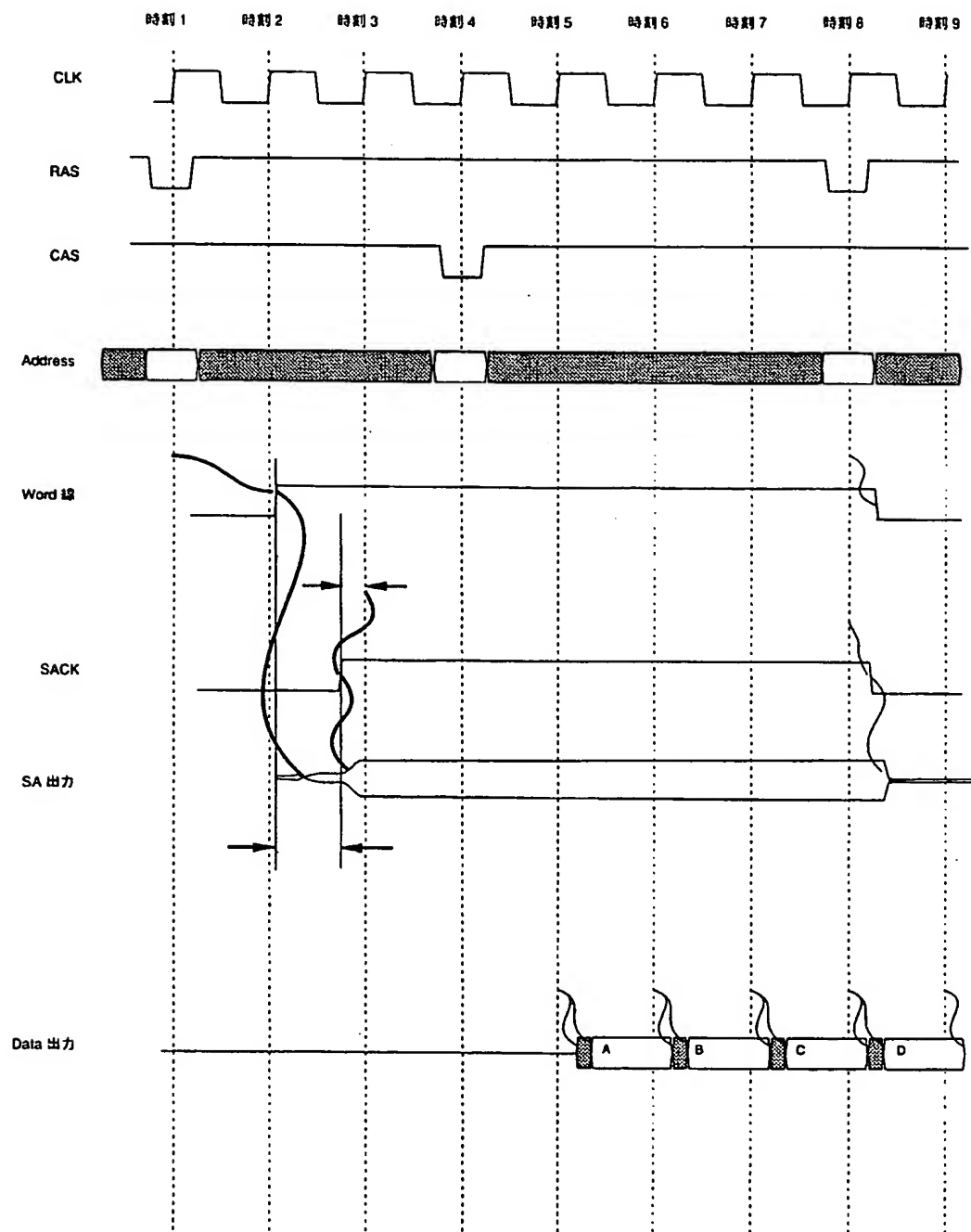


図 14

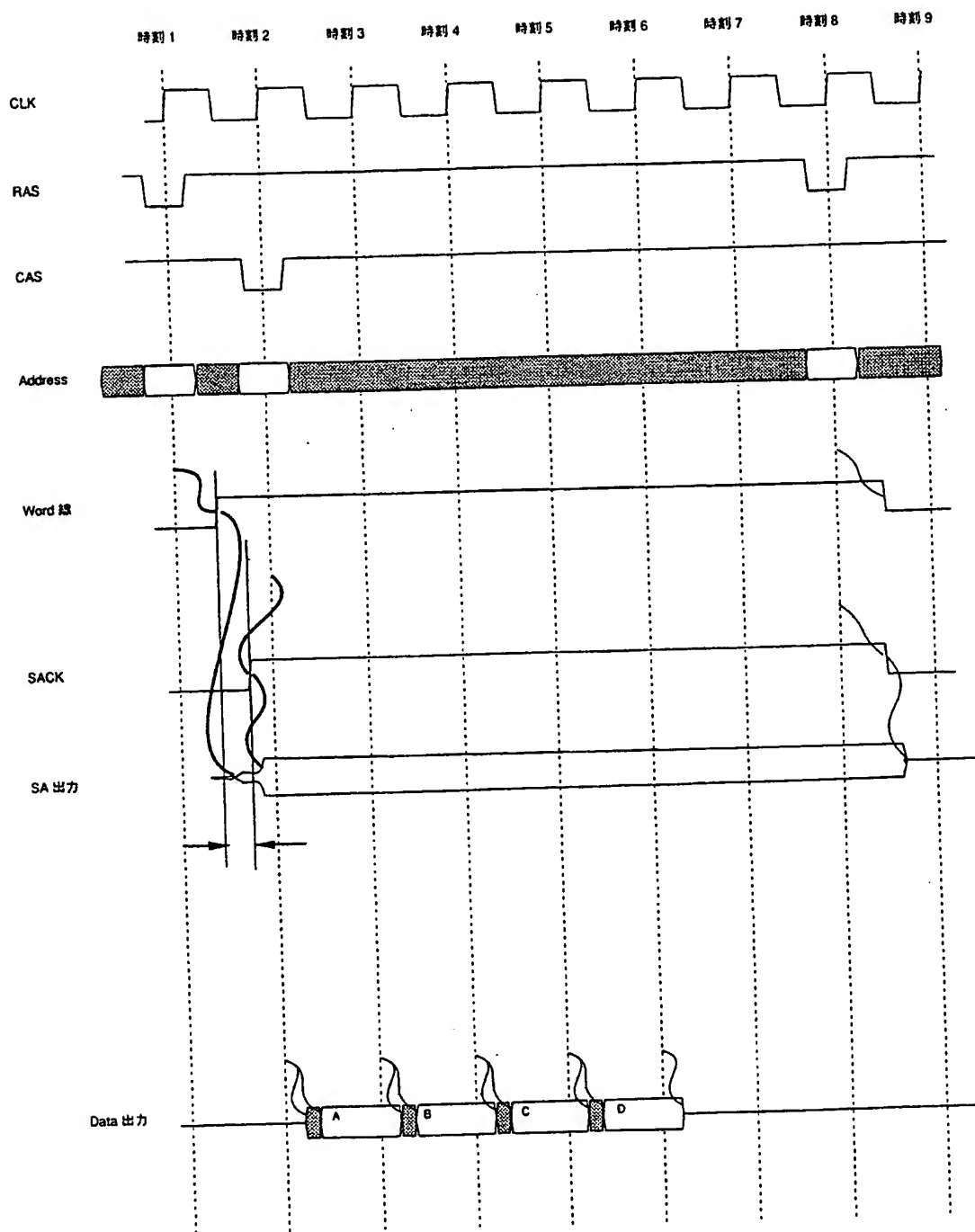


図 15

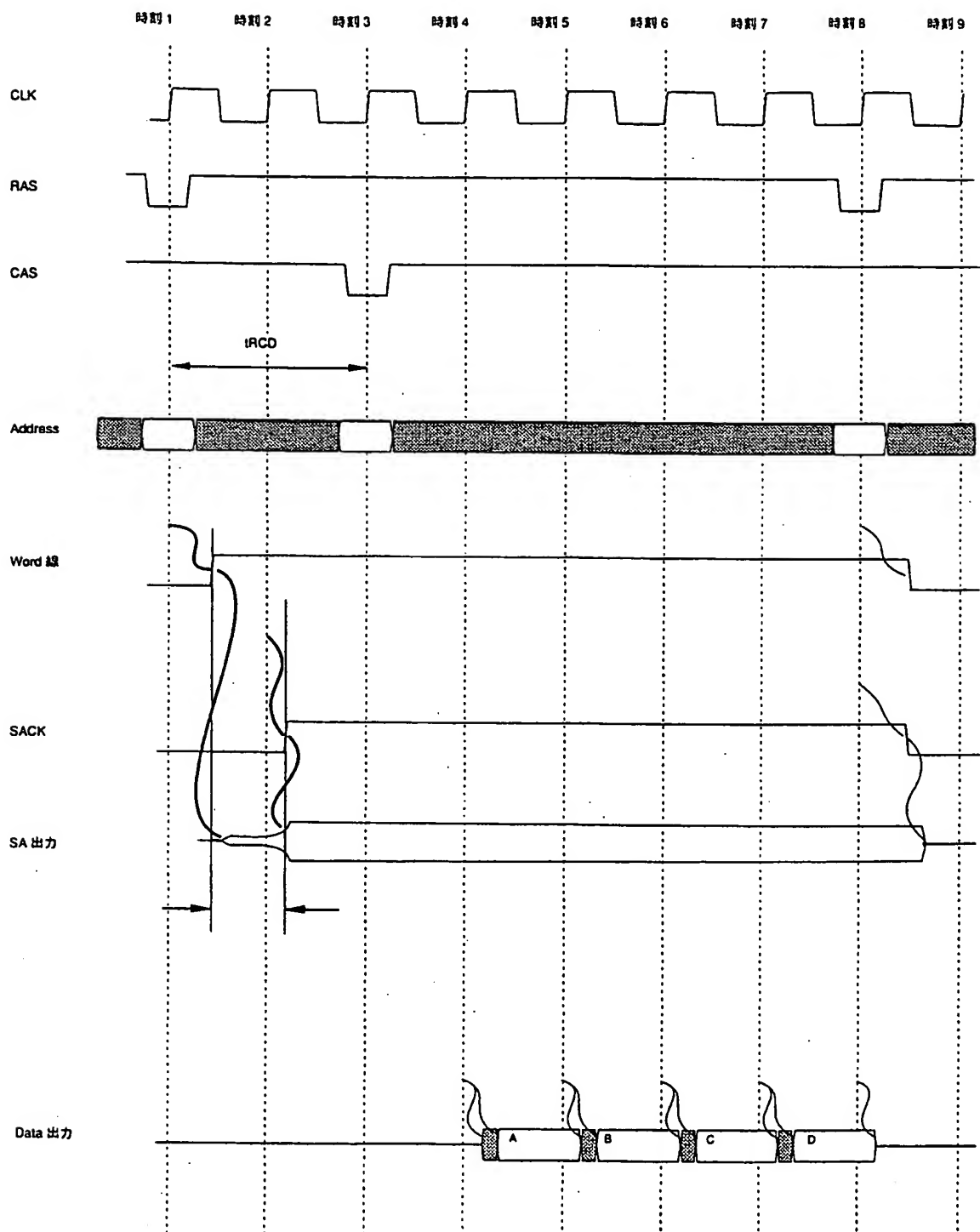
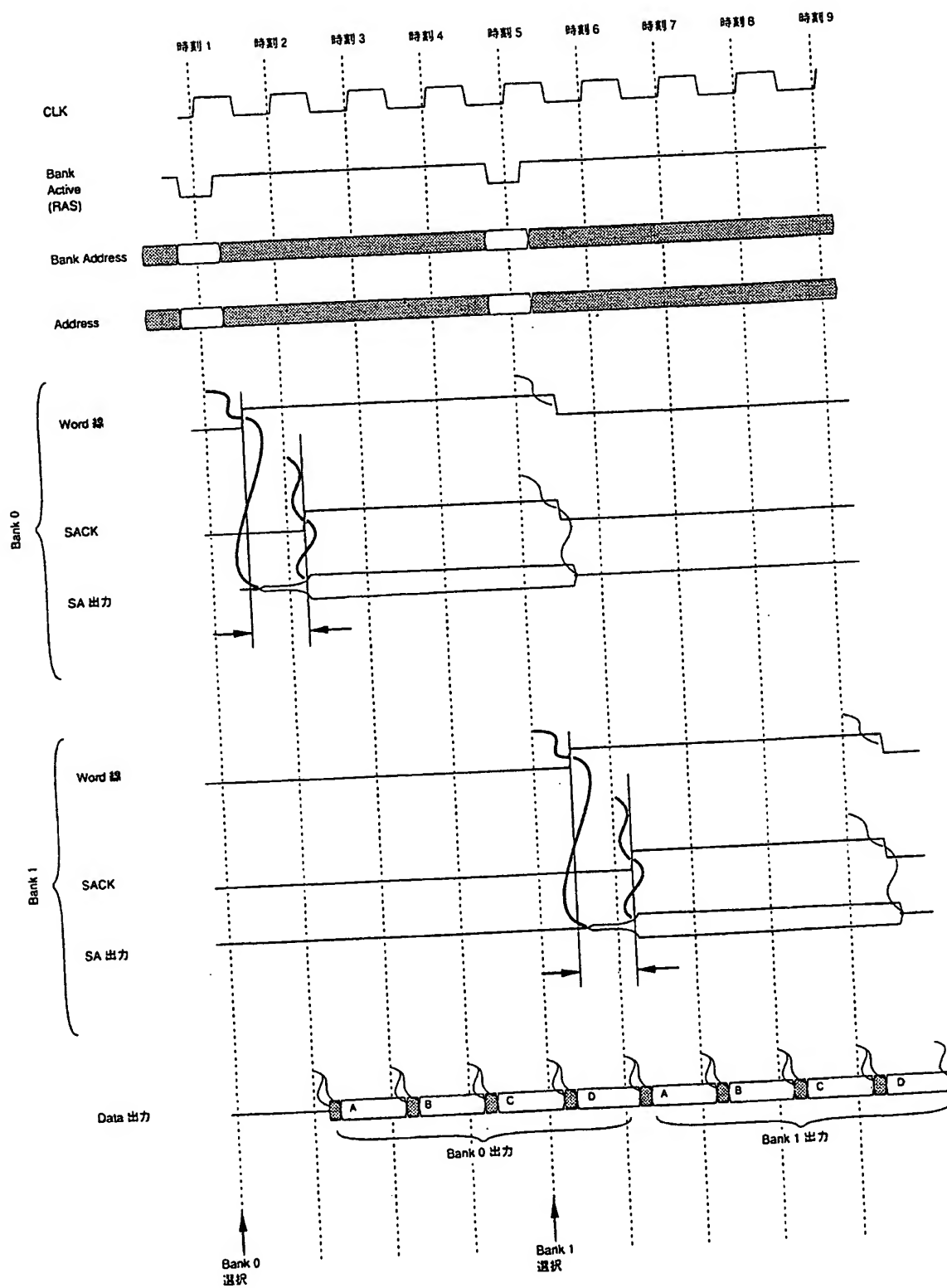


図 16



Burst length = 4

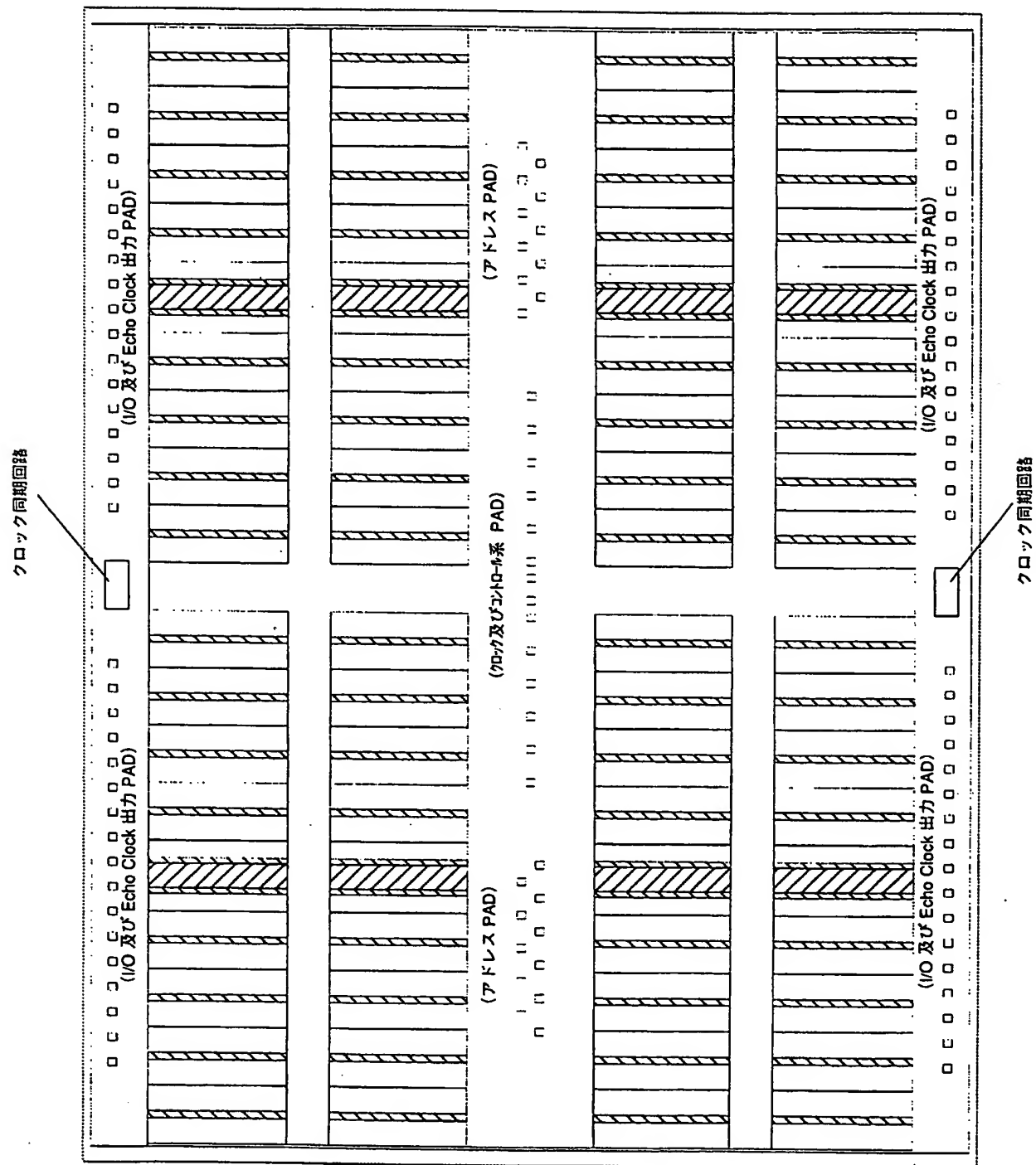


図 18

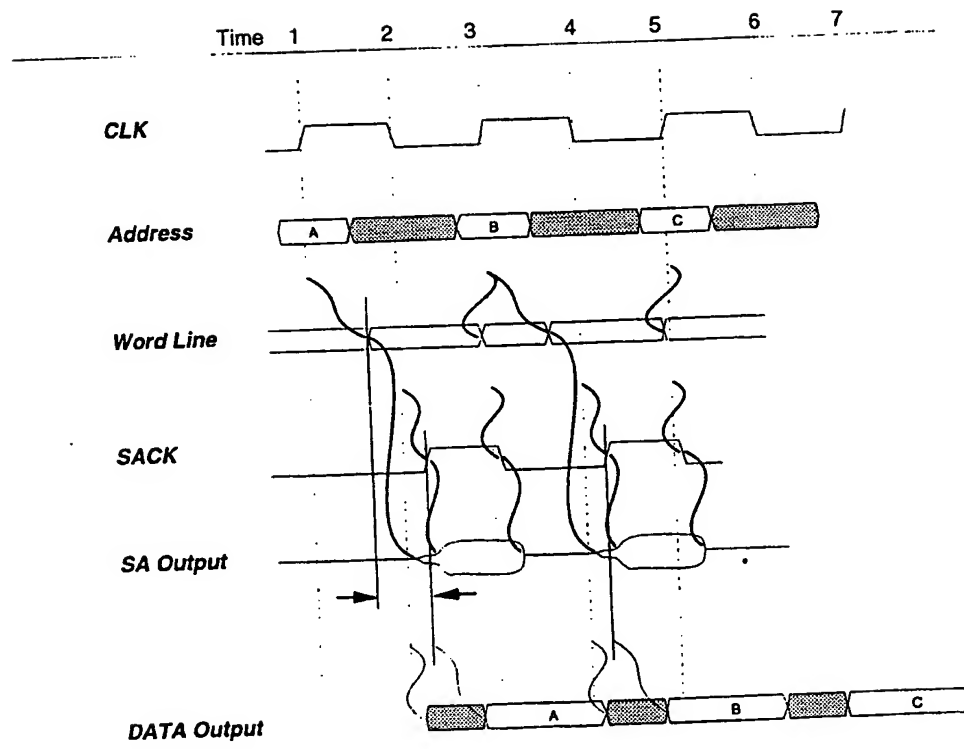
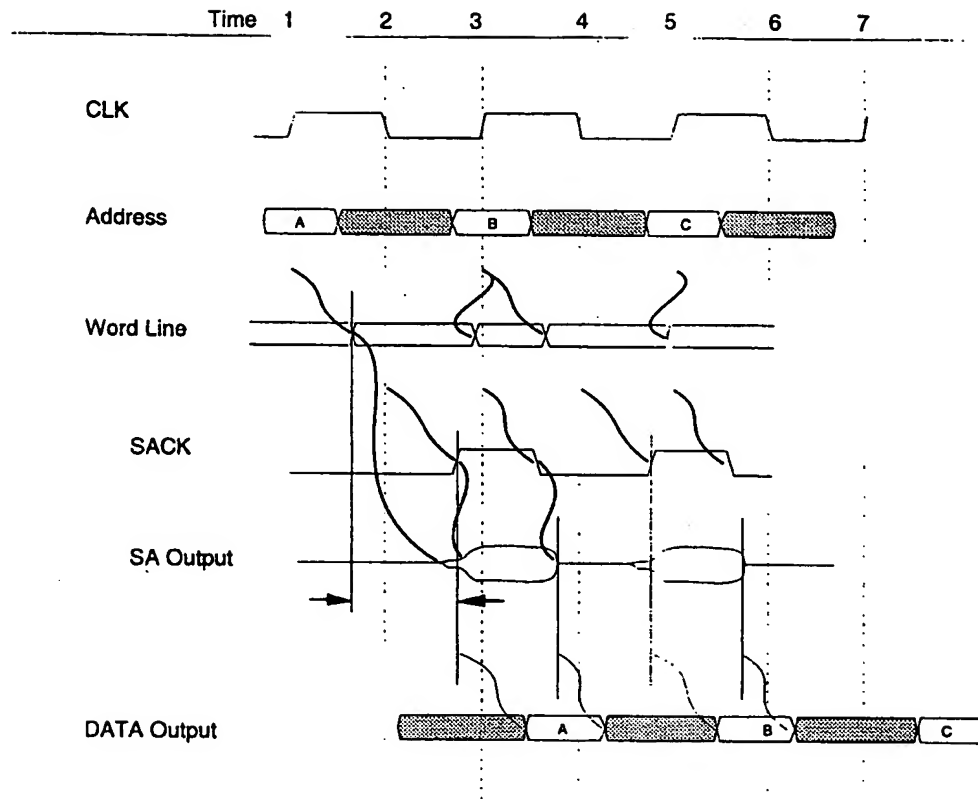


図 19



20

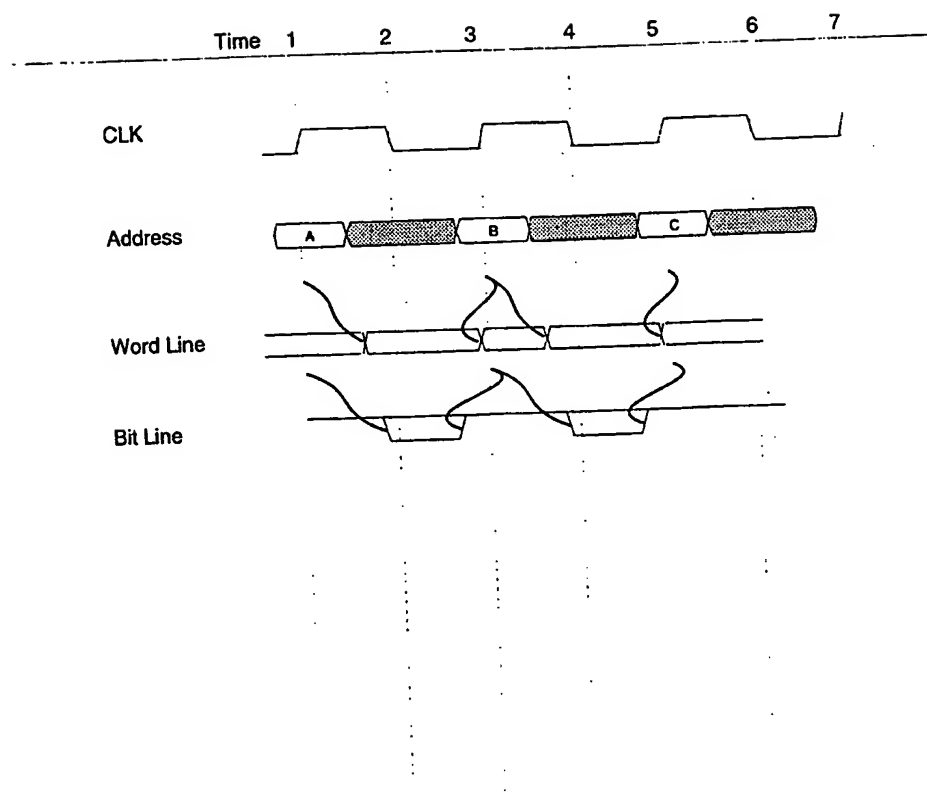


図 21

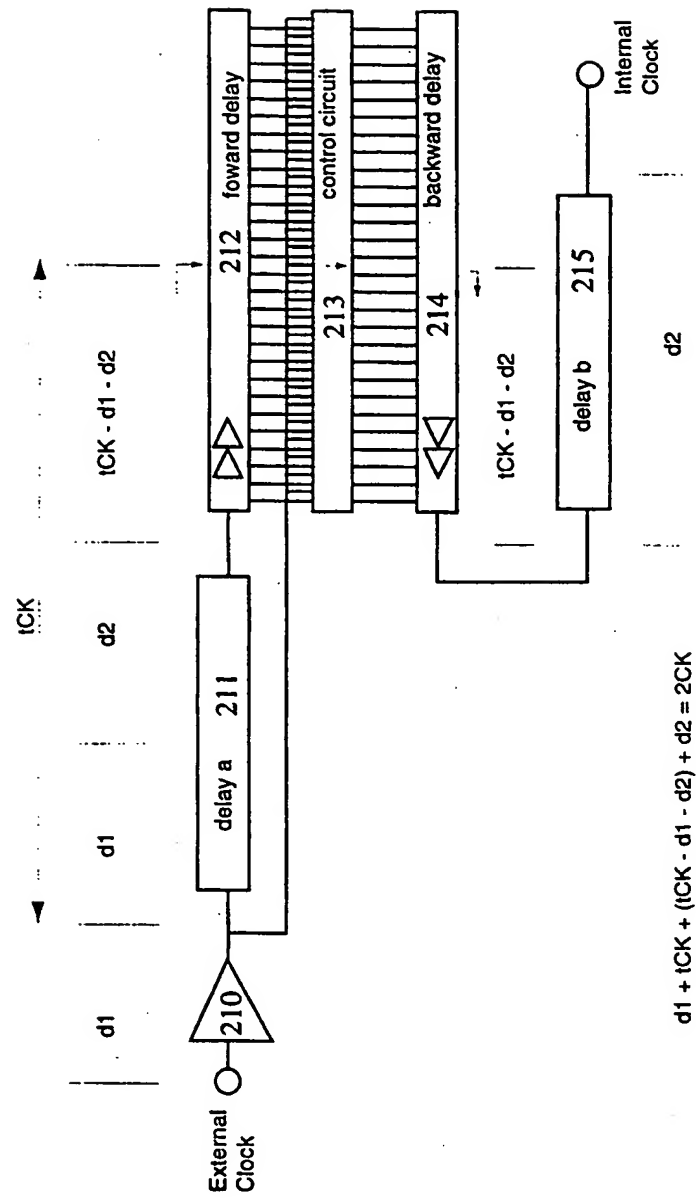
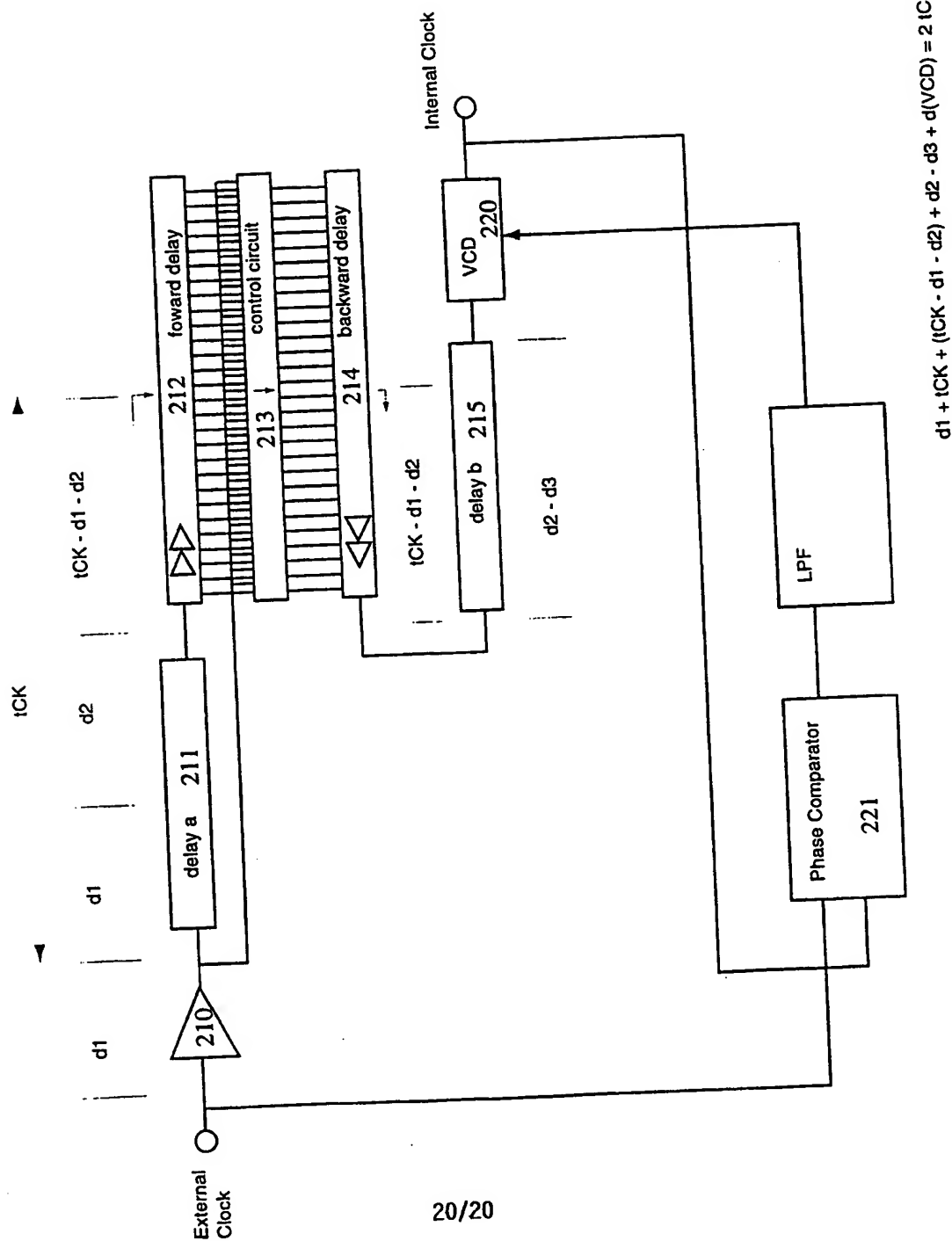


图 22



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/03327

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G11C11/413, G11C11/407, H03K5/135

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G11C11/413, G11C11/407, H03K5/135, H03L7/00, G11C11/414

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1996	Jitsuyo Shinan Toroku
Kokai Jitsuyo Shinan Koho	1971 - 1997	Koho
Toroku Jitsuyo Shinan Koho	1994 - 1997	1996 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 2-166696, A (Hitachi, Ltd.), June 27, 1990 (27. 06. 90) & US, 5086414, A	1-18, 20-22
Y	JP, 8-31180, A (Hitachi, Ltd.), February 2, 1996 (02. 02. 96) (Family: none)	1-18, 20-22
Y	JP, 4-364609, A (Xerox Corp.), December 17, 1992 (17. 12. 92) (Family: none)	14, 19
Y	JP, 8-237091, A (NEC Corp.), September 13, 1996 (13. 09. 96) (Family: none)	19

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
November 12, 1997 (12. 11. 97)Date of mailing of the international search report
November 26, 1997 (26. 11. 97)Name and mailing address of the ISA/
Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

国際調査報告

国際出願番号 PCT/JP97/03327

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁶ G11C11/413, G11C11/407, H03K5/135

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁶ G11C11/413, G11C11/407, H03K5/135,
H03L7/00, G11C11/414

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-1997年
日本国実用新案登録公報 1996-1997年
日本国登録実用新案公報 1994-1997年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 2-166696, A (株式会社日立製作所) 27. 6月. 1990 (27. 06. 90) & US, 5086414, A	1~18, 20~22
Y	JP, 8-31180, A (株式会社日立製作所) 2. 2月. 1996 (02. 02. 96) (ファミリーなし)	1~18, 20~22
Y	JP, 4-364609, A (ゼロックス コーポレーション) 17. 12月. 1992 (17. 12. 92) (ファミリーなし)	14, 19
Y	JP, 8-237091, A (日本電気株式会社) 13. 9月. 1996 (13. 09. 96) (ファミリーなし)	19

☐ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 先行文献ではあるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

12. 11. 97

国際調査報告の発送日

26. 11. 97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
吉田 耕一

5L 9554

電話番号 03-3581-1101 内線 3564